

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月 5日

出 願 番 号

Application Number:

特願2002-227304

[ ST.10/C ]:

[ JP2002-227304 ]

出 願 人

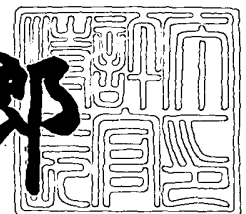
Applicant(s):

セイコーエプソン株式会社

2003年 6月 3日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3043199

【書類名】 特許願

【整理番号】 EP-0399101

【提出日】 平成14年 8月 5日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/00

【発明者】

    【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

    【氏名】 藤田 信一郎

【発明者】

    【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

    【氏名】 金井 裕之

【発明者】

    【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

    【氏名】 伊藤 朱美

【特許出願人】

    【識別番号】 000002369

    【氏名又は名称】 セイコーエプソン株式会社

【代理人】

    【識別番号】 100090479

    【弁理士】

    【氏名又は名称】 井上 一

    【電話番号】 03-5397-0891

【選任した代理人】

    【識別番号】 100090387

    【弁理士】

    【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大 淵 美 千 栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ転送制御システム、電子機器、プログラム及びデータ転送制御方法

【特許請求の範囲】

【請求項 1】 バスを介してデータ転送を行うためのデータ転送制御システムであって、

第 1 のバスを介して転送されてきたコマンドパケットを受け、コマンドパケットが含むコマンドを、第 2 のバスに接続されるデバイスに対して発行するコマンド処理部と、

発行されたコマンドの種類に依らずに一定長の DMA データ長を設定し、第 2 のバスに接続されるデバイスとの間の DMA 転送の開始を指示する DMA 転送指示部と、

を含むことを特徴とするデータ転送制御システム。

【請求項 2】 請求項 1 において、

前記 DMA 転送指示部が、

発行されたコマンドを受けた第 2 のバスに接続されるデバイスがコマンド処理の終了を通知してきた場合に、開始した DMA 転送をアボートすることを特徴とするデータ転送制御システム。

【請求項 3】 請求項 1 又は 2 において、

前記 DMA 転送指示部が、

発行されたコマンドを受けた第 2 のバスに接続されるデバイスが DMA 転送を要求してきた場合に、DMA 転送の開始を指示することを特徴とするデータ転送制御システム。

【請求項 4】 請求項 1 乃至 3 のいずれかにおいて、

第 2 のバスに接続されるデバイスが、第 2 のバスを介して転送されるデータをストレージに書き込む又はストレージから読み出すデバイスであり、

前記 DMA 転送指示部が、

前記ストレージの記憶容量よりも大きな値を、一定長の前記 DMA データ長と

して設定することを特徴とするデータ転送制御システム。

【請求項 5】 請求項 1 乃至 4 のいずれかにおいて、

前記 DMA 転送指示部が、

コマンドパケットに含まれるコマンドにより指定可能なデータ長よりも大きな値を、一定長の前記 DMA データ長として設定することを特徴とするデータ転送制御システム。

【請求項 6】 請求項 1 乃至 5 のいずれかにおいて、

前記コマンド処理部が、

第 1 のバスを介して転送されてきたコマンドパケットが含むコマンドをデコードすることなく、該コマンドを第 2 のバスに接続されるデバイスに対して発行することを特徴とするデータ転送制御システム。

【請求項 7】 請求項 1 乃至 6 のいずれかにおいて、

第 1 のバスが、第 1 のインターフェース規格によりデータ転送が行われるバスであり、第 2 のバスが、第 2 のインターフェース規格によりデータ転送が行われるバスであり、

前記コマンドパケットが、第 1 のインターフェース規格の上位の層のプロトコルで定義されるパケットであることを特徴とするデータ転送制御システム。

【請求項 8】 請求項 1 乃至 7 のいずれかにおいて、

第 1 のバスが、IEEE 1394 規格によりデータ転送が行われるバスであり、第 2 のバスが、ATA/ATAPI 規格によりデータ転送が行われるバスであり、

前記コマンドパケットが、SBP-2 で定義される ORB パケットであることを特徴とするデータ転送制御システム。

【請求項 9】 請求項 1 乃至 8 のいずれかのデータ転送制御システムと、

第 2 のバスに接続されるデバイスと、

を含むことを特徴とする電子機器。

【請求項 10】 第 1 のバスを介して転送されてきたコマンドパケットを受け、コマンドパケットが含むコマンドを、第 2 のバスに接続されるデバイスに対して発行するコマンド処理部と、

発行されたコマンドの種類に依らずに一定長のDMAデータ長を設定し、第2のバスに接続されるデバイスとの間のDMA転送の開始を指示するDMA転送指示部として、

データ転送制御システムを機能させることを特徴とするプログラム。

【請求項11】 請求項10において、

前記DMA転送指示部が、

発行されたコマンドを受けた第2のバスに接続されるデバイスがコマンド処理の終了を通知してきた場合に、開始したDMA転送をアボートすることを特徴とするプログラム。

【請求項12】 バスを介してデータ転送を行うためのデータ転送制御方法であって、

第1のバスを介して転送されてきたコマンドパケットを受け、コマンドパケットが含むコマンドを、第2のバスに接続されるデバイスに対して発行し、

発行されたコマンドの種類に依らずに一定長のDMAデータ長を設定し、第2のバスに接続されるデバイスとの間のDMA転送の開始を指示することを特徴とするデータ転送制御方法。

【請求項13】 請求項12において、

発行されたコマンドを受けた第2のバスに接続されるデバイスがコマンド処理の終了を通知してきた場合に、開始したDMA転送をアボートすることを特徴とするデータ転送制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、データ転送制御システム、電子機器、プログラム及びデータ転送制御方法に関する。

【0002】

【背景技術及び発明が解決しようとする課題】

パーソナルコンピュータ（以下、適宜、PCと呼ぶ）においては、IEEE1394と呼ばれるインターフェース規格が広く用いられている。また、IEEE

1 3 9 4 のトランザクション層の一部の機能を含む上位のプロトコルとして、S B P - 2 (Serial Bus Protocol-2) と呼ばれるプロトコルが知られている。そして、このS B P - 2 (広義にはS B P) では、S C S I (MMC - 2) に類似したコマンドセットが用いられている。

【0 0 0 3】

一方、C Dドライブ、D V Dドライブ、ハードディスクドライブなどのストレージデバイスにおいては、A T A (I D E) / A T A P I と呼ばれるインターフェース規格が広く用いられている。

【0 0 0 4】

従って、A T A / A T A P I のインターフェースを備えるストレージデバイスを、I E E E 1 3 9 4 のインターフェースを備えるP C に接続するためには、I E E E 1 3 9 4 とA T A / A T A P I のバスブリッジ機能を備えたデータ転送制御システムが必要になる。

【0 0 0 5】

そして、このようなデータ転送制御システムでは、I E E E 1 3 9 4 のS B P - 2 で送られてきたS C S I (MMC - 2) のコマンドを、A T A / A T A P I のコマンドとしてストレージデバイスに発行する。また、S C S I のコマンドをデコードし、その内容を解析し、ストレージデバイスとの間のD M A 転送を起動する。

【0 0 0 6】

しかしながら、S B P - 2 で送られてくるコマンドの種類は多種多様であるため、このようなコマンドのデコード (解析) 処理は、処理負荷が重く処理時間も長くなるという問題点がある。

【0 0 0 7】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、コマンドのデコード処理の処理負荷を軽減できるデータ転送制御システム、電子機器、プログラム及びデータ転送制御方法を提供することにある。

【0 0 0 8】

## 【課題を解決するための手段】

本発明は、バスを介してデータ転送を行うためのデータ転送制御システムであって、第1のバスを介して転送されてきたコマンドパケットを受け、コマンドパケットが含むコマンドを、第2のバスに接続されるデバイスに対して発行するコマンド処理部と、発行されたコマンドの種類に依らずに一定長のDMAデータ長を設定し、第2のバスに接続されるデバイスとの間のDMA転送の開始を指示するDMA転送指示部とを含むデータ転送制御システムに係る。

## 【0009】

本発明によれば、第1のバスからのコマンドパケットが含むコマンドが、第2のバスに接続されるデバイスに対して発行される。そして、この発行されたコマンドの種類に依存しない一定長のDMAデータ長が設定されて、DMA転送が行われる。従って、データ転送制御システムは、コマンドの種類に応じた適正なDMAデータ長を取得する処理を行わなくて済むようになり、処理負荷を軽減できる。

## 【0010】

また本発明では、前記DMA転送指示部が、発行されたコマンドを受けた第2のバスに接続されるデバイスがコマンド処理の終了を通知してきた場合に、開始したDMA転送をアボートしてもよい。

## 【0011】

このようにすれば、十分に長いDMAデータ長が設定されて開始したDMA転送を、コマンド処理の終了通知の受信を条件にアボートでき、DMA転送を適正に完了できるようになる。

## 【0012】

また本発明では、前記DMA転送指示部が、発行されたコマンドを受けた第2のバスに接続されるデバイスがDMA転送を要求してきた場合に、DMA転送の開始を指示してもよい。

## 【0013】

また本発明では、第2のバスに接続されるデバイスが、第2のバスを介して転送されるデータをストレージに書き込む又はストレージから読み出すデバイスで



あり、前記DMA転送指示部が、前記ストレージの記憶容量よりも大きな値を、一定長の前記DMAデータ長として設定してもよい。

【0014】

また本発明では、前記DMA転送指示部が、コマンドパケットに含まれるコマンドにより指定可能なデータ長よりも大きな値を、一定長の前記DMAデータ長として設定してもよい。

【0015】

また本発明では、前記コマンド処理部が、第1のバスを介して転送されてきたコマンドパケットが含むコマンドをデコードすることなく、該コマンドを第2のバスに接続されるデバイスに対して発行してもよい。

【0016】

このようにすれば、コマンドのデコード処理（DMAデータ長サイズを求めるためのデコード処理）を省略でき、処理負荷を軽減できる。

【0017】

また本発明では、第1のバスが、第1のインターフェース規格によりデータ転送が行われるバスであり、第2のバスが、第2のインターフェース規格によりデータ転送が行われるバスであり、前記コマンドパケットが、第1のインターフェース規格の上位の層のプロトコルで定義されるパケットであってもよい。

【0018】

また本発明では、第1のバスが、IEEE1394規格によりデータ転送が行われるバスであり、第2のバスが、ATA/ATAPI規格によりデータ転送が行われるバスであり、前記コマンドパケットが、SBP-2（SBP）で定義されるORBパケットであってもよい。

【0019】

また本発明は、上記のいずれかのデータ転送制御システムと、第2のバスに接続されるデバイスとを含む電子機器に関する。

【0020】

また本発明は、第1のバスを介して転送されてきたコマンドパケットを受け、コマンドパケットが含むコマンドを、第2のバスに接続されるデバイスに対して

発行するコマンド処理部と、発行されたコマンドの種類に依らずに一定長のDMAデータ長を設定し、第2のバスに接続されるデバイスとの間のDMA転送の開始を指示するDMA転送指示部としてデータ転送制御システムを機能させるプログラムに関係する。

【0021】

また本発明は、バスを介してデータ転送を行うためのデータ転送制御方法であって、第1のバスを介して転送されてきたコマンドパケットを受け、コマンドパケットが含むコマンドを、第2のバスに接続されるデバイスに対して発行し、発行されたコマンドの種類に依らずに一定長のDMAデータ長を設定し、第2のバスに接続されるデバイスとの間のDMA転送の開始を指示するデータ転送制御方法に関係する。

【0022】

【発明の実施の形態】

以下、本発明の実施形態について詳細に説明する。

【0023】

なお、以下に説明する本実施形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。

【0024】

1. IEEE1394、SBP-2

1. 1 層構造

IEEE1394のトランザクション層の一部の機能を含む上位のプロトコルとして、SBP-2 (Serial Bus Protocol-2) と呼ばれるプロトコルが提案されている。このSBP-2 (広義にはSBP) は、SCSI (MMC-2) のコマンドセットをIEEE1394のプロトコル上で利用可能にするために提案されたものである。このSBP-2を用いれば、既存のSCSI規格対応の電子機器で使用されていたコマンドセットに最小限の変更を加えて、IEEE1394規格の電子機器に使用できるようになる。従って、電子機器の設計や開発を容易化できる。

【 0 0 2 5 】

図 1 に、IEEE 1 3 9 4、SBP-2 の層構造（プロトコル・スタック）を簡略化して示す。

【 0 0 2 6 】

IEEE 1 3 9 4（IEEE 1 3 9 4 - 1 9 9 5、P 1 3 9 4 a、P 1 3 9 4 b 等）のプロトコルは、トランザクション層、リンク層、物理層により構成される。

【 0 0 2 7 】

トランザクション層は、上位層にトランザクション単位のインターフェース（サービス）を提供し、下層のリンク層が提供するインターフェースを通して、リードトランザクション、ライトトランザクション、ロックトランザクション等のトランザクションを実施する。

【 0 0 2 8 】

ここで、リードトランザクションでは、応答ノードから要求ノードにデータが転送される。一方、ライトトランザクションでは、要求ノードから応答ノードにデータが転送される。またロックトランザクションでは、要求ノードから応答ノードにデータが転送され、応答ノードがそのデータに処理を施して要求ノードに返信する。

【 0 0 2 9 】

リンク層は、アドレッシング、データチェック、パケット送受信のためのデータフレーミング、アイソクロナス転送のためのサイクル制御などを提供する。

【 0 0 3 0 】

物理層は、リンク層により使用されるロジカルシンボルの電気信号への変換や、バスの調停や、バスの物理的インターフェースを提供する。

【 0 0 3 1 】

SBP-2 層は、図 1 に示すように、IEEE 1 3 9 4（広義には第 1 のインターフェース規格）のトランザクション層の一部の機能を含む上位のプロトコルを提供する。

【 0 0 3 2 】

## 1. 2 S B P - 2 の処理

図 2 に、S B P - 2 (広義には第 1 のインターフェース規格の上位の第 1 のプロトコル) の処理の全体についてのフローチャートを示す。

### 【 0 0 3 3 】

図 2 に示すように、S B P - 2 では、まず、接続機器の確認を行うためのコンフィギュレーション ROM のリード処理が行われる (ステップ T 1) 。

### 【 0 0 3 4 】

次に、イニシエータ (例えばパーソナルコンピュータ) が、ターゲット (例えばストレージデバイス) に対するアクセス権 (リクエスト開始の許可。バスの使用権) を獲得するためのログイン処理が行われる (ステップ T 2) 。具体的には、イニシエータにより作成されたログイン O R B (Operation Request Block) を用いてログイン処理が行われる。

### 【 0 0 3 5 】

次に、フェッチエージェントの初期化が行われる (ステップ T 3) 。そして、コマンドブロック O R B (ノーマルコマンド O R B) を用いてコマンド処理が行われ (ステップ T 4) 、最後に、ログアウト O R B を用いてログアウト処理が行われる (ステップ T 5) 。

### 【 0 0 3 6 】

ここで、ステップ T 4 のコマンド処理においては、図 3 の A 1 に示すように、イニシエータがライト要求パケットを転送して (ライト要求トランザクションを発行して) 、ターゲットのドアベルレジスタをリングする。すると、A 2 に示すように、ターゲットがリード要求パケットを転送し、イニシエータが対応するリード応答パケットを返す。これにより、イニシエータが作成した O R B (コマンドブロック O R B) が、ターゲットのデータバッファ (パケットバッファ) にフェッチされる。そして、ターゲットは、フェッチされた O R B に含まれるコマンドを解析する。

### 【 0 0 3 7 】

そして、O R B に含まれるコマンドが S C S I のライトコマンドであった場合には、A 3 に示すように、ターゲットがリード要求パケットをイニシエータに転

送し、イニシエータが対応するリード応答パケットを返す。これにより、イニシエータのデータバッファに格納されているデータがターゲットに転送される。そして、例えばターゲットがストレージデバイスであった場合には、転送されたデータがストレージデバイスに書き込まれる。

## 【 0 0 3 8 】

一方、ORBに含まれるコマンドがSCSIのリードコマンドであった場合には、図4のB1に示すように、ターゲットは、一連のライト要求パケットをイニシエータに転送する。これにより、例えばターゲットがストレージデバイスであった場合には、ストレージデバイスから読み出されたデータが、イニシエータのデータバッファに転送されることになる。

## 【 0 0 3 9 】

このSBP-2によれば、ターゲットは、自身が都合の良いときに要求パケットを転送して（トランザクションを発行して）、データを送受信できる。従って、イニシエータとターゲットが同期して動く必要がなくなるため、データ転送効率を高めることができる。

## 【 0 0 4 0 】

なお、IEEE 1394の上位プロトコルとしては、ストレージデバイスやプリンタのデータの転送に最適なSBP-2以外にも、映像や音声のデータの転送に最適なAV/Cコマンドが提案されている。また、IEEE 1394バス上で、インターネットプロトコル（IP）のパケットを転送するものとしてIP over 1394と呼ばれるプロトコルも提案されている。

## 【 0 0 4 1 】

なお、ターゲット、イニシエータ間でデータ転送を行う場合、図5（A）のようにイニシエータ（パーソナルコンピュータ、相手ノード）のデータバッファにページテーブルが存在する場合と、存在しない場合がある。

## 【 0 0 4 2 】

そして、ページテーブルが存在する場合には、図5（B）に示すように、イニシエータが作成したORBの中には、そのページテーブルのアドレスやエレメント数が含まれる。そして、転送データのアドレス（読み出しアドレス、書き込み

アドレス) は、このページテーブルを用いて間接アドレス指定される。

【 0 0 4 3 】

一方、ページテーブルが存在しない場合には、図 5 (C) に示すように、ORB の中にアドレスとデータ長が含まれ、転送データのアドレスが直接アドレス指定される。

【 0 0 4 4 】

1. 3 バスブリッジ機能

さて、本実施形態のデータ転送制御システム 10 は図 6 (A) に示すように、IEEE 1394 (SBP-2) に準拠した BUS 1 (第 1 のバス) と ATA (IDE) / ATAPI に準拠した BUS 2 (第 2 のバス) との間のバスブリッジ機能を有している。ここで、ATA (AT Attachment) は、主にハードディスク用のインターフェース規格として広く用いられているものであり、ATAPI (AT Packet Interface) は、ATA を CD ドライブなどの光ディスクドライブでも使用できるようにしたインターフェース規格である。

【 0 0 4 5 】

図 6 (A) に示すようなバスブリッジ機能を実現できるデータ転送制御システム 10 は、パーソナルコンピュータ 2 から転送されてくる ORB (広義にはコマンドパケット) が含む SCSI (SPC-2) のコマンドを、ATAPI のコマンドとしてストレージデバイス 100 (光ディスクドライブ) に発行する。そして、SBP-2 で送られてくる SCSI のコマンドをデコードし、その内容を解析し、ストレージデバイス 100 との間の DMA 転送を起動する。

【 0 0 4 6 】

しかしながら、SBP-2 で送られてくるコマンドの種類は多種多様であるため、このようなコマンドのデコード、解析は、処理負荷が重く処理時間も長くなるという問題点があることが判明した。

【 0 0 4 7 】

また、図 6 (B) に示すように、パーソナルコンピュータ 2 上で動作するアップル社、マイクロソフト社等の OS (Operating System) では、SCSI (Small Computer System Interface)、ATAPI (AT Attachment Packet Interface)

e)の両者に共通するコマンドしか使用されていないという点も判明した。

【 0 0 4 8 】

本実施形態では以上の点に着目し、以下に説明するような構成のデータ転送制御システムを採用している。

【 0 0 4 9 】

## 2. 全体構成

図 7 に、本実施形態のデータ転送制御システム及びこれを含む電子機器の全体構成例を示す。なお、以下では、イニシエータとの間でデータ転送を行うターゲットがストレージデバイス（C D ドライブ、D V D ドライブ等）である場合について例にとり説明するが、本発明はこれに限定されない。

【 0 0 5 0 】

データバッファ 4 を有するパーソナルコンピュータ（ホストコンピュータ）2 と電子機器 8 は、I E E E 1 3 9 4 に準拠した B U S 1 （第 1 のバス）により接続される。そして、電子機器 8 は、データ転送制御システム 1 0 とストレージデバイス 1 0 0 （広義にはデバイス）を有する。

【 0 0 5 1 】

なお、電子機器 8 には、図示しないシステム C P U 、システムメモリ（R O M 、R A M）、操作部、或いは信号処理デバイス等を含めることができる。

【 0 0 5 2 】

データ転送制御システム 1 0 は、物理層（P H Y）回路 1 4、リンク層回路 2 0、S B P - 2 回路 2 2、インターフェース回路 3 0、パケット管理回路 3 8、パケットバッファ 4 0（データバッファ）を含む。また、C P U 4 2、フラッシュメモリ 4 4（E E P R O M）を含む。また、フラッシュメモリ 4 4 にその処理モジュール（プログラム）が記憶され、C P U 4 2（広義にはプロセッサ）により実行されるファームウェア 5 0 を含む。なお、本実施形態のデータ転送制御システム 1 0 は、図 7 に示す全ての回路ブロック、機能ブロックを含む必要はなく、その一部を省略してもよい。

【 0 0 5 3 】

物理層回路 1 4 は、図 1 の物理層のプロトコルをハードウェアにより実現する

ための回路であり、リンク層回路 20 により使用されるロジカルシンボルを電気信号に変換する機能を有する。

【0054】

リンク（&トランザクション）層回路 20 は、図 1 のリンク層のプロトコルやトランザクション層のプロトコルの一部をハードウェアにより実現するための回路であり、ノード間でのパケット転送のための各種サービスを提供する。

【0055】

これらの物理層回路 14、リンク層回路 20 の機能により、IEEE 1394 に準拠したデータ転送を、BUS 1（第 1 のバス）を介してパーソナルコンピュータ 2（広義には電子機器）との間で行うことが可能になる。

【0056】

SBP-2 回路 22（転送実行回路）は、SBP-2 のプロトコルの一部やトランザクション層の一部をハードウェアにより実現する回路である。この SBP-2 回路 22 の機能により、転送データを一連のパケットに分割し、分割された一連のパケットを連続転送する処理が可能になる。

【0057】

インターフェース回路 30 は、ストレージデバイス 100 とのインターフェース処理を行う回路である。このインターフェース回路 30 の機能により、ATA（AT Attachment）、ATAPI（ATA Packet Interface）に準拠したデータ転送を、BUS 2（第 2 のバス）を介してストレージデバイス 100 との間で行うことが可能になる。

【0058】

そして、図 7 のように物理層回路 14、リンク層回路 20、インターフェース回路 30 を設けることで、IEEE 1394（広義には第 1 のインターフェース規格）と ATA（IDE）／ATAPI（広義には第 2 のインターフェース規格）のバスブリッジ機能をデータ転送制御システム 10 に持たせることが可能になる。

【0059】

インターフェース回路 30 が含む DMA コントローラ 32 は、BUS 2 を介し



てストレージデバイス100との間でDMA (Direct Memory Access) 転送を行うための回路である。

【0060】

なお、BUS2に接続されるストレージデバイス100は、ATA (IDE) /ATAPIに準拠したデータ転送を行うためのインターフェース回路102と、ストレージ106へのアクセス制御(書き込み又は読み出し制御)を行うアクセス制御回路104と、光ディスク、ハードディスクなどのストレージ106を含む。

【0061】

バッファ管理回路38は、パケットバッファ40とのインターフェースを管理する回路である。バッファ管理回路38は、バッファ管理回路38の制御のためのレジスタや、パケットバッファ40へのバス接続を調停する調停回路や、各種の制御信号を生成するシーケンサなどを含む。

【0062】

また、バッファ管理回路38はポインタ管理部39を含む。このポインタ管理部39は、パケットバッファ40のポインタをリングバッファ方式で管理し、書き込み用、読み込み用の複数のポインタを更新する処理を行う。

【0063】

パケットバッファ40(パケットメモリ、データバッファ)は、パケット(転送データ)を一時的に格納するためのバッファであり、SRAM、SDRAM、或いはDRAMなどのハードウェアにより構成される。なお、本実施形態では、パケットバッファ40は、ランダムアクセス可能なパケット記憶部として機能する。また、パケットバッファ40を、データ転送制御システム10に内蔵せずに、外付けにしてもよい。

【0064】

CPU42(広義にはプロセッサ)は、装置全体の制御やデータ転送の制御を行うものである。

【0065】

フラッシュメモリ44(EEPROM)は、電氣的にデータの書き換えが可能

な不揮発性メモリである。このフラッシュメモリ 4 4 には、ファームウェア 5 0 の処理モジュール（プログラム）が記憶される。

【 0 0 6 6 】

ファームウェア 5 0 は、CPU 4 2 上で動作する種々の処理モジュール（処理ルーチン）を含むプログラムであり、トランザクション層等のプロトコルは、このファームウェア 5 0 と、ハードウェアである CPU 4 2 等により実現される。

【 0 0 6 7 】

ファームウェア 5 0（F/W）は、コミュニケーション部 5 2、マネージメント部 6 0、フェッチ部 7 0、ストレージタスク部 8 0、ダウンロード部 9 0 を含む。なお、ファームウェア 5 0 は、これらの全ての機能ブロック（モジュール）を含む必要はなく、その一部を省略してもよい。

【 0 0 6 8 】

ここで、コミュニケーション部 5 2 は、物理層回路 1 4、リンク層回路 2 0 などのハードウェアとの間のインターフェースとして機能する処理モジュールである。

【 0 0 6 9 】

マネージメント部 6 0（マネージメントエージェント）は、ログイン、リコネクト、ログアウト、リセット等の管理を行う処理モジュールである。例えばイニシエータがターゲットにログインを要求した場合には、まず、このマネージメント部 6 0 が、このログイン要求を受け付けることになる。

【 0 0 7 0 】

フェッチ部 7 0（フェッチエージェント）は、ORB（Operation Request Block）受信と、ステータスの発行と、ストレージタスク部 8 0 へのコマンド処理依頼を行う処理モジュールである。フェッチ部 7 0 は、単一の要求しか扱うことができないマネージメント部 6 0 とは異なり、イニシエータからの要求により自身がフェッチした ORB のリンクリストも扱うことができる。

【 0 0 7 1 】

ストレージタスク部 8 0 は、ORB が含むコマンドの処理と DMA 転送処理を実行するための処理モジュールである。

## 【 0 0 7 2 】

ダウンロード部 9 0 は、フラッシュメモリ 4 4 に記憶されるファームウェア 5 0 の処理モジュール等の更新を行うための処理モジュールである。

## 【 0 0 7 3 】

ストレージタスク部 8 0 は、コマンド処理部 8 2、DMA 転送指示部 8 4 を含む。

## 【 0 0 7 4 】

ここでコマンド処理部 8 2 は、BUS 1 (IEEE 1394 等の第 1 のインターフェース規格の第 1 のバス) を介して転送されてきた ORB (広義にはコマンドパケット、データ転送オペレーション要求のためのコマンドパケット) についての種々の処理を行う。具体的には、BUS 1 からの ORB を受け、ORB が含むコマンド (SCSI、MMC-2 のコマンド) を、BUS 2 (ATA/ATAPI 等の第 2 のインターフェース規格の第 2 のバス) に接続されるストレージデバイス 1 0 0 (広義にはデバイス) に対して発行する。この場合、コマンド処理部 8 2 は、ORB (コマンドパケット) から取り出したコマンドのデコード処理 (コマンドに含まれるデータ数指定、セクタ数指定或いはパラメータを調べるためのデコード処理) を行うことなく、即ちコマンドの内容を解析することなく、そのままの状態ですトレージデバイス 1 0 0 に対して発行する。

## 【 0 0 7 5 】

DMA 転送指示部 8 4 は、一定長の DMA データ長を設定し、BUS 2 を介した DMA 転送 (CPU を介在させないデータ転送) の開始の指示等を行う。

## 【 0 0 7 6 】

具体的には、コマンド処理部 8 2 により発行されたコマンド (ORB が含むコマンド) に依存しない一定長の DMA データ長 (DMA データサイズ) を設定する。即ちリードコマンドであってもリード CD コマンドであっても、同じ一定長の DMA データ長を、例えばインターフェース回路 3 0 の所定のレジスタ (DMA データ長設定レジスタ) に設定する。そして、この DMA データ長分の DMA 転送の開始を、インターフェース回路 3 0 (ストレージデバイス 1 0 0) 等に指示する。具体的には、ストレージデバイス 1 0 0 からの DMA 転送要求 (DMA

RQ) に対して、DMA 転送要求のアクノリッジ (DMACK) を出すように指示して、DMA 転送を開始する。

## 【0077】

また DMA 転送指示部 84 は、BUS 2 のストレージデバイス 100 が INTERRUQ (割り込み) 等を用いてコマンド処理の終了を通知してきた場合に、開始した DMA 転送をアボートする指示も行う。具体的には、インターフェース回路 30 (DMA コントローラ 32) 等が DMA 転送の送信又は受信状態になっているのを解除し、DMA 転送カウンタを 0 (初期値) にクリアする。

## 【0078】

なお、一定長の DMA データ長としては、例えば、ストレージ 106 (ストレージデバイス 100) により転送データが書き込まれる又は読み出されるメディアの記憶容量 (例えば CD の場合の 670 M バイト、DVD の場合の 4.7 G バイト等) よりも大きな値を採用できる。或いは、コマンド (SBP-2、ATAPI) により指定可能なデータ長 (パケットのデータ長のフィールドのビット数で表すことができる最大データ長) よりも大きな値を採用できる。或いは、ハードウェア、インターフェース規格、プロトコルの制限により決められる最大のデータ長を採用してもよい。また、この一定長の DMA データ長は、レジスタ (D フリップフロップ、メモリ) などに予め設定しておけばよく、1 回の DMA 転送毎に毎回設定しなくてもよい。

## 【0079】

## 3. 処理の詳細

図 8 に ATAPI のパケットコマンド処理の流れの概要を示す。

## 【0080】

ATAPI は、CD ドライブや DVD ドライブなどのマルチメディア系のデバイスを制御するためのインターフェース規格である。ATAPI パケットコマンドは、ATA コマンドの上位層に位置し、ATAPI パケットコマンドは ATA コマンドを使用して発行される。

## 【0081】

即ち、ATA では、ATA レジスタにパラメータを設定し、コマンドレジスタ

にコマンドを書き込むことでコマンドが実行される。これに対してATAPIでは、コマンドレジスタに書き込まれるのはPACKETコマンドだけであり、デバイス制御のためのコマンドは、その次のATAPIパケットコマンド転送で転送される。そして、その後にデータレジスタへのデータ転送が行われる。このようにすることで、ATAの制御体系を利用してATAPIを実現できるようになる。

## 【 0 0 8 2 】

本実施形態のデータ転送制御システム10では、このATAPIのパケットコマンドを利用してBUS2でのデータ転送を実現している。

## 【 0 0 8 3 】

図9、図10に、本実施形態の詳細な処理についてのフローチャートを示す。

## 【 0 0 8 4 】

SBP-2の処理中にORBを受信すると（ステップS1）、SBP-2のデータ長をORB（またはページテーブル）のデータサイズより取得し、DMAデータ長を例えば2T（テラ）バイトに設定する（ステップS2）。

## 【 0 0 8 5 】

即ち、図11のE1に示すように、ORBに含まれるコマンド（リード、ライト、リードCD等）のデコード処理（データ数やセクタ数の取得、パラメータの解析等）を行わないようにする。そして、ORBに含まれるコマンドの種類に依らずに、一定長（2Tバイト）のDMAデータ長を設定する。そして、図11のE2に示すように、ORBに含まれるコマンドをBUS2を介してストレージデバイス100に発行する（ステップS10）。

## 【 0 0 8 6 】

図10に、ステップS10のコマンド発行処理のフローチャートを示す。

## 【 0 0 8 7 】

まず、ドライブセレクト（マスター／スレイブ）を行う（ステップS21）。そして、ストレージデバイス100がBusyか否かを判断し（ステップS22）、BusyでなければPACKETコマンドを発行する（ステップS23。図8参照）。次に、ストレージデバイス100がBusyか否か、或いはストレ-

ジデバイス 1 0 0 からの D M A R Q が無いか否かを判断する（ステップ S 2 4）。そして、そうではない場合には、E r r o r か否かを判断し（ステップ S 2 5）、E r r o r の場合にはコマンドアボートを行い（ステップ S 2 8）、図 9 のステップ S 1 9 のステータス送信の処理に移行する。

## 【 0 0 8 8 】

一方、E r r o r ではない場合には、A T A P I パケットコマンドを転送する（ステップ S 2 6。図 8 参照）。そして、E r r o r か否かを判断し（ステップ S 2 7）、E r r o r の場合にはコマンドアボートを行い（ステップ S 2 8）、図 9 のステップ S 1 9 のステータス送信の処理に移行する。一方、E r r o r でない場合には、コマンド発行処理を正常終了する。

## 【 0 0 8 9 】

図 9 の説明に戻る。コマンド発行処理が終了すると、データ長が「0」か否かを判断する（ステップ S 1 1）。例えば、O R B に含まれるコマンドがテストユニットレディやスタート/ストップユニットである場合にはデータ長が「0」になる。そして、データ長が「0」の場合にはステップ S 1 7 に移行する。

## 【 0 0 9 0 】

一方、データ長が「0」でない場合には、図 1 1 の E 3 に示すようにストレージデバイス 1 0 0 からの D M A R Q（DMA 転送要求）がアサートされたか否かを判断する（ステップ S 1 2）。そして、D M A R Q がアサートされた場合には、図 1 1 の E 4 に示すようにストレージデバイス 1 0 0 との間の DMA 転送（2 T バイト分）の開始を指示する（ステップ S 1 3）。

## 【 0 0 9 1 】

即ち、A T A / A T A P I に準拠する B U S 2 では、後述するように、DMA 転送要求である D M A R Q や D M A R Q に対するアクノリッジである D M A C K などの信号が定義されている。そして、ストレージデバイス 1 0 0 のインターフェース回路 1 0 2 が D M A R Q をアサートした後、データ転送制御システム 1 0 のインターフェース回路 3 0 が D M A C K をアサートすると、DMA 転送が開始する。

## 【 0 0 9 2 】

次に、図 1 1 の E 5 に示すように、P C（パーソナルコンピュータ 2）とのデータ転送（S B P-2データ長分）の開始も指示する（ステップ S 1 4）。

## 【 0 0 9 3 】

即ち、本実施形態では P C とのデータ転送を、ハードウェア回路である S B P-2回路 2 2 を用いて実現している。このようにすることで、S B P-2データ長と DMA データ長を設定した後は、B U S 1 を介して P C から受信した転送データ（ライトデータ）が、パケットバッファ 4 0、B U S 2 を介してそのままストレージデバイス 1 0 0 に自動的に転送されるようになる。また、B U S 2 を介してストレージデバイス 1 0 0 から受信した転送データ（リードデータ）が、パケットバッファ 4 0、B U S 1 を介してそのまま P C に自動的に転送されるようになる。従って、B U S 1 での S B P-2転送、B U S 2 での A T A P I の DMA 転送が完了するまでは、ファームウェア 5 0（C P U 4 2）はデータ転送処理に関与しなくても済むようになる。これにより、ファームウェア 5 0 の処理負荷を格段に軽減できる。

## 【 0 0 9 4 】

P C とのデータ転送（ハードウェア S B P-2転送）が完了したと判断されると（ステップ S 1 6）、ストレージデバイス 1 0 0 のコマンド処理が終了したか否かを判断する（ステップ S 1 7）。この判断は、A T A / A T A P I で定義される B U S 2 の割り込み信号 I N T R Q 等を用いて行う。そして、コマンド処理が終了したと判断された場合には、図 1 1 の E 6 に示すように DMA 転送をアボートする（ステップ S 1 8）。そして E 7 に示すように、P C に対してステータスを送信する（ステップ S 1 9）。

## 【 0 0 9 5 】

即ち本実施形態では、図 9 のステップ S 2 に示すように、DMA データ長として十分に大きな値（2 T バイト）を設定しているため、DMA データ長が「0」になって DMA 転送が完了することはない。そこで、ステップ S 1 7 に示すように、コマンド処理の終了を条件に、DMA 転送が完了したと見なして、DMA 転送をアボートする。

## 【 0 0 9 6 】

具体的には、BUS 2でのデータ転送が実質的に終了していても、DMAデータ長が「0」になっていないため、データ転送制御システム10側のDMA転送は送信又は受信待ち状態になっている。この状態で、INTRQがアサートされて、コマンド処理の終了がストレージデバイス100から通知されると、本実施形態のデータ転送制御システム10は、DMA転送の送信又は受信待ち状態を解除し、DMA転送をアボートする。これにより、DMA転送を正常に完了させることができる。

## 【0097】

以上のように本実施形態では、十分に大きなDMAデータ長を設定しているため、BUS 1からのORBが含むSCSIのコマンドの内容を解析することなく、そのままBUS 2を介してストレージデバイス100に発行できる。従って、コマンドのデコード処理を省略でき、処理負荷を大幅に軽減できる。また、十分に大きなDMAデータ長を設定してDMA転送を開始しても、ストレージデバイス100からのコマンド処理の終了通知を待ってアボートすることで、DMA転送を正常に完了させることが可能になる。

## 【0098】

なお、SCSIではATAPIとは異なり、コマンドの最後に制御バイトが付加されている。また、SCSIでは6バイト、10バイト、12バイトのコマンドが存在するが、ATAPIのコマンドは全て12バイトである。しかしながら、ORBでは、コマンドブロックは12バイトであり、12バイト未満のコマンドはパディング(padding)され、制御バイトも付加されない。従って、ORBに含まれるSCSI(MMC-2)のコマンドを、そのままATAPIのストレージデバイス100に発行しても問題は生じない。但し、本実施形態において、ORBに含まれるコマンドに若干の変更処理を加えて、ストレージデバイス100に発行するようにしてもよい。

## 【0099】

図12に、本実施形態の比較例となるデータ転送制御手法のフローチャートを示す。図12の比較例では、ORBが含むコマンドをデコードすることでDMAデータ長を取得している。



【 0 1 0 0 】

例えば、デコードすべきコマンドは以下のように分類できる。

【 0 1 0 1 】

即ち、データの送受信を行うためのコマンドとして、バイト数でデータ長を指定するモードセンス、モードセレクト、インクワイアリー (inquiry) 等と、セクタ数でデータ長を指定するリード、ライト等がある。

【 0 1 0 2 】

また、データの送受信を行わないコマンドとしては、テストユニットレディ、スタート/ストップユニット等がある。

【 0 1 0 3 】

そして、セクタ数でデータ長を指定する場合において、実データ長を求めるためには、セクタ長を指定する必要がある。この場合、セクタ長を指定するには、以下の方法がある。

( 1 ) モードセレクトによるセクタ長指定 (レガシー S C S I 仕様)

モードセレクトのパラメータによりセクタ長が指定され、ストレージデバイス ( C D ドライブ ) が正常にモードセレクトのコマンドを終了した場合には、それ以後のセクタ長には、モードセレクトで指定されたセクタ長が使用される。

( 2 ) リード C D コマンドでのセクタ長指定

リード C D のパラメータによりセクタ長が指定された場合には、そのセクタ長はそのコマンドのみににおいて有効となる。

【 0 1 0 4 】

このような種々のコマンドに対応するために、比較例では、図 1 2 に示すような処理が必要になる。

【 0 1 0 5 】

即ち図 1 2 では、 O R B を受信すると (ステップ S 3 1)、O R B に含まれるコマンドをデコードし、バイト単位でのデータ数指定があるかを判断する (ステップ S 3 2)。そして、バイト単位でのデータ数指定がある場合には、コマンド内のデータ数指定をデータサイズとする (ステップ S 3 3)。一方、バイト単位でのデータ数指定がない場合には、セクタ単位でのデータ数指定があるか否かを

判断する（ステップ S 3 4）。そして、セクタ単位でのデータ数指定がない場合には、データサイズを「0」とする（ステップ S 3 5）。

#### 【0 1 0 6】

セクタ単位でのデータ数指定がある場合には、セクタサイズが存在するか否かを判断し（ステップ S 3 5）、セクタサイズが存在しない場合には、2 0 4 8 バイト×（コマンドのセクタ数）をデータサイズとする（ステップ S 3 7）。一方、セクタサイズが存在する場合には、（指定セクタサイズ）×（コマンドのセクタ数）をデータサイズとする（ステップ S 3 8）。

#### 【0 1 0 7】

図 1 2 の比較例では、以上の処理により得られたデータサイズを、SBP-2 データ長及び DMA データ長に設定する（ステップ S 3 9）。そして、その後、ステップ S 4 0 以下の処理を行う。そして、このステップ S 4 0 以下の処理では、図 9 の本実施形態の処理とは異なり、ステップ S 4 5 において、DMA データ長等に基づいて DMA 転送が完了したか否かの判断を行う（図 1 3 の F 6 参照）。また、図 9 のステップ S 1 8 の DMA 転送のアボート処理は、図 1 2 では存在しない。

#### 【0 1 0 8】

以上のように図 1 2 の比較例では、ステップ S 3 2 ～ S 3 8 においてコマンドのデコード（解析）処理を行っているため（図 1 3 の F 1 参照）、処理負荷が重くなる。これに対して図 9 の本実施形態ではこれらの処理が不要であり、この点において本実施形態の方が有利となる。

#### 【0 1 0 9】

図 1 4 に、他の比較例のデータ転送制御手法の処理のフローチャートを示す。図 1 4 の比較例では、ORB のページテーブル等を参照して DMA データ長を取得している。

#### 【0 1 1 0】

即ち図 1 4 では、ORB を受信すると（ステップ S 5 1）、ORB のデータサイズが「0」か否かを判断し（ステップ S 5 2）、「0」の場合にはステップ S 5 6 に移行する。一方、「0」でない場合には、PC のデータバッファにページ

テーブルが存在するか否かを判断する（ステップ S 5 3）。そして、ページテーブルが存在する場合には、ページテーブルを全て読み出して、データサイズを計算する（ステップ S 5 4）。そして、取得したデータサイズを、SBP-2データ長及びDMAデータ長に設定する（ステップ S 5 6）。その後のステップ S 6 0 以下の処理は、図 1 2 のステップ S 4 0 以下の処理と同様である。

## 【 0 1 1 1 】

この図 1 4 の比較例においても、ステップ S 5 2 ～ S 5 4 に示す処理が必要になるため、処理負荷が重くなり、この点においても図 9 の本実施形態の方が有利となる。

## 【 0 1 1 2 】

## 4. ATA/ATAPI のインターフェース回路

図 1 5 に、ATA/ATAPI のインターフェース回路 3 0 の構成例を示す。なお、インターフェース回路 3 0 は図 1 5 の全ての回路ブロックを備える必要はなく、その一部を省略してもよい。

## 【 0 1 1 3 】

FIFO 3 1 は、データ転送の転送レートの差を調整（緩衝）するためのバッファである。DMA コントローラ 3 2 は、FIFO 3 1 やインターフェースコア回路 3 4 の制御（REQ/ACK 制御）等を行う回路である。

## 【 0 1 1 4 】

インターフェースコア回路 3 4 は、DMA の制御等を行う回路である。インターフェースコア回路 3 4 が含むカウンタ 3 5 は、ATA (IDE) /ATAPI 用のリセットカウンタである。インターフェースコア回路 3 4 が含むUDMA回路 3 6 は、ATA/ATAPI のUltraDMA 転送を制御するための回路であり、UltraDMA 用の FIFO 3 7、UltraDMA 用のCRC 演算回路 3 8 を含む。

## 【 0 1 1 5 】

レジスタ 3 3 は、DMA 転送の開始等を制御するためのレジスタであり、このレジスタ 3 3 は、ファームウェア 5 0 (CPU 4 2) によりアクセス可能になっている。

## 【 0 1 1 6 】

C S [ 1 : 0 ] は、A T A の各レジスタにアクセスするために使用するチップセレクト信号である。D A [ 2 : 0 ] は、データ又はデータポートにアクセスするためのアドレス信号である。

## 【 0 1 1 7 】

D M A R Q 、 D M A C K は、D M A 転送に使用される信号である。データ転送の準備が整った時にストレージデバイス 1 0 0 ( デバイス ) 側が D M A R Q をアサートして ( アクティブにして ) 、これに応答して、データ転送制御システム 1 0 ( ホスト ) 側が D M A 転送開始時に D M A C K をアサートする。

## 【 0 1 1 8 】

D I O W ( S T O P ) は、レジスタ又はデータポートの書き込み時に使用するライト信号である。なお、U r t r a D M A 転送中は S T O P 信号として機能する。D I O R ( H D M A R D Y 、 H S T R O B E ) は、レジスタ又はデータポートの読み出し時に使用するリード信号である。なお、U r t r a D M A 転送中は H D M A R D Y 、 H S T R O B E 信号として機能する。

## 【 0 1 1 9 】

I O R D Y ( D D M A R D Y 、 D S T R O B E ) は、ストレージデバイス 1 0 0 のデータ転送の準備が整っていない時のウェイト信号等に使用される。なお、U r t r a D M A 転送中は D D M A R D Y 、 D S T R O B E 信号として機能する。

## 【 0 1 2 0 】

I N T R Q は、ストレージデバイス 1 0 0 ( デバイス ) が、データ転送制御システム 1 0 ( ホスト ) に対して割り込みを要求するために使用される信号である。この I N T R Q がアサートされた後、データ転送制御システム 1 0 がストレージデバイス 1 0 0 のステータスレジスタの内容を読むと、所定時間後にストレージデバイス 1 0 0 は I N T R Q をネゲートする ( 非アクティブにする ) 。この I N T R Q を用いることで、ストレージデバイス 1 0 0 は、コマンド処理の終了をデータ転送制御システム 1 0 に通知できる。

## 【 0 1 2 1 】

図 1 6 (A) ~ 図 1 8 (B) に、以上の A T A 用の信号の波形例を示す。なお、これらの図において「#」は負論理 (L レベルがアサート) の信号であることを表す。

#### 【 0 1 2 2 】

図 1 6 (A)、(B) は、P I O (Parallel I/O) リード、P I O ライト時の信号波形例である。A T A のステータスレジスタのリードは図 1 6 (A) の P I O リードにより行い、制御レジスタへのライトは図 1 6 (B) の P I O ライトにより行う。例えば、ストレージデバイス 1 0 0 への P A C K E T コマンドの発行や A T A P I パケットコマンドの転送 (図 8、図 1 0 参照) は、この P I O 転送により行うことができる。

#### 【 0 1 2 3 】

図 1 7 (A)、(B) は、D M A リード、D M A ライト時の信号波形例である。データ転送の準備ができると、ストレージデバイス 1 0 0 (インターフェース回路 1 0 2) が、D M A R Q をアサートする (H レベルにする)。そして、それを受けて、データ転送制御システム 1 0 (インターフェース回路 3 0) が、D M A C K をアサートして (L レベルにして)、D M A 転送を開始する。その後、D I O R (リード時) 又は D I O W (ライト時) を使用して、データ D D [ 1 5 : 0 ] の D M A 転送を行う。

#### 【 0 1 2 4 】

図 1 8 (A)、(B) は、U l t r a D M A リード、U l t r a D M A ライト時の信号波形例である。データ転送の準備ができると、ストレージデバイス 1 0 0 が、D M A R Q をアサートする。そして、それを受けて、データ転送制御システム 1 0 が、D M A C K をアサートして、D M A 転送を開始する。その後、D I O W、D I O R、I O R D Y を使用して、データ D D [ 1 5 : 0 ] の U l t r a D M A 転送を行う。

#### 【 0 1 2 5 】

なお、本発明は本実施形態に限定されず、本発明の要旨の範囲内で種々の変形実施が可能である。

#### 【 0 1 2 6 】

例えば、明細書中の記載において広義な用語（第 1 のインターフェース規格、第 2 のインターフェース規格、第 1 のインターフェース規格の上位の第 1 のプロトコル、第 1 のインターフェース規格の上位の第 2 のプロトコル、コマンドパケット、電子機器、ストレージデバイス、デバイス、プロセッサ等）として引用された用語（IEEE 1394、ATA/ATAPI、SBP-2、IP over 1394、ORB、パーソナルコンピュータ・ストレージデバイス、ハードディスクドライブ・光ディスクドライブ、ストレージデバイス、CPU 等）は、明細書中の他の記載においても広義な用語に置き換えることができる。

【0127】

また、本発明のうち従属請求項に係る発明においては、従属先の請求項の構成要件の一部を省略する構成とすることもできる。また、本発明の 1 の独立請求項に係る発明の要部を、他の独立請求項に従属させることもできる。

【0128】

また、本発明のデータ転送制御システム、電子機器の構成は、図 7 に示す構成に限定されず、種々の変形実施が可能である。例えば、これらの各図の各回路ブロック、機能ブロックの一部を省略したり、その接続関係を変更してもよい。また、第 2 のバス（BUS 2）は、ストレージデバイスとは異なるデバイスに接続されていてもよい。また、物理層回路とリンク層回路とパケットバッファの接続構成も図 7 に示す接続構成に限定されない。

【0129】

また本実施形態では、コマンド処理部、DMA 転送指示部等の機能をファームウェア（プログラム）により実現する場合について説明したが、これらを機能の一部又は全部をハードウェア回路により実現してもよい。

【0130】

また本発明は種々の電子機器（ハードディスクドライブ、光ディスクドライブ、光磁気ディスクドライブ、PDA、拡張機器、オーディオ機器、デジタルビデオカメラ、携帯電話、プリンタ、スキャナ、TV、VTR、電話機、表示デバイス、プロジェクタ、パーソナルコンピュータ或いは電子手帳等）に適用できる。

【0131】

また、本実施形態では、IEEE 1394、SBP-2、ATA/ATAPI規格でのデータ転送に本発明を適用した場合について説明した。しかしながら本発明は、例えばIEEE 1394 (P1394a)、SBP-2 (SBP)、ATA/ATAPIと同様の思想に基づく規格や、IEEE 1394、SBP-2、ATA/ATAPIを発展させた規格におけるデータ転送にも適用できる。

【図面の簡単な説明】

【図 1】

IEEE 1394、SBP-2の層構造について説明するための図である。

【図 2】

SBP-2の処理の概略について説明するための図である。

【図 3】

SBP-2においてデータをイニシエータからターゲットに転送する場合のコマンド処理について説明するための図である。

【図 4】

SBP-2においてデータをターゲットからイニシエータに転送する場合のコマンド処理について説明するための図である。

【図 5】

図 5 (A)、(B)、(C) は、ページテーブルについて説明するための図である。

【図 6】

図 6 (A)、(B) は、データ転送制御システムのバスブリッジ機能や、各種コマンドの関係について説明するための図である。

【図 7】

本実施形態のデータ転送制御システム、電子機器の構成例を示す図である。

【図 8】

ATAPIのパケットコマンド処理の流れの概要を示す図である。

【図 9】

本実施形態の詳細な処理例について示すフローチャートである。

【図 10】

本実施形態の詳細な処理例について示すフローチャートである。

【図 1 1】

本実施形態のデータ転送制御手法について説明するための図である。

【図 1 2】

比較例の処理例について示すフローチャートである。

【図 1 3】

比較例のデータ転送制御手法について説明するための図である。

【図 1 4】

他の比較例の処理例について示すフローチャートである。

【図 1 5】

ATA/ATAPIのインターフェース回路の構成例を示す図である。

【図 1 6】

図 1 6 (A)、(B) は、PIOリード、PIOライト時における信号波形例である。

【図 1 7】

図 1 7 (A)、(B) は、DMAリード、DMAライト時における信号波形例である。

【図 1 8】

図 1 8 (A)、(B) は、UltraDMAリード、UltraDMAライト時における信号波形例である。

【符号の説明】

BUS 1 第1のバス (IEEE1394)

BUS 2 第2のバス (ATA/ATAPI)

2 パーソナルコンピュータ (ホストコンピュータ、イニシエータ)

8 電子機器 (ターゲット)

10 データ転送制御システム

14 物理層回路

20 リンク層回路

22 SBP-2回路

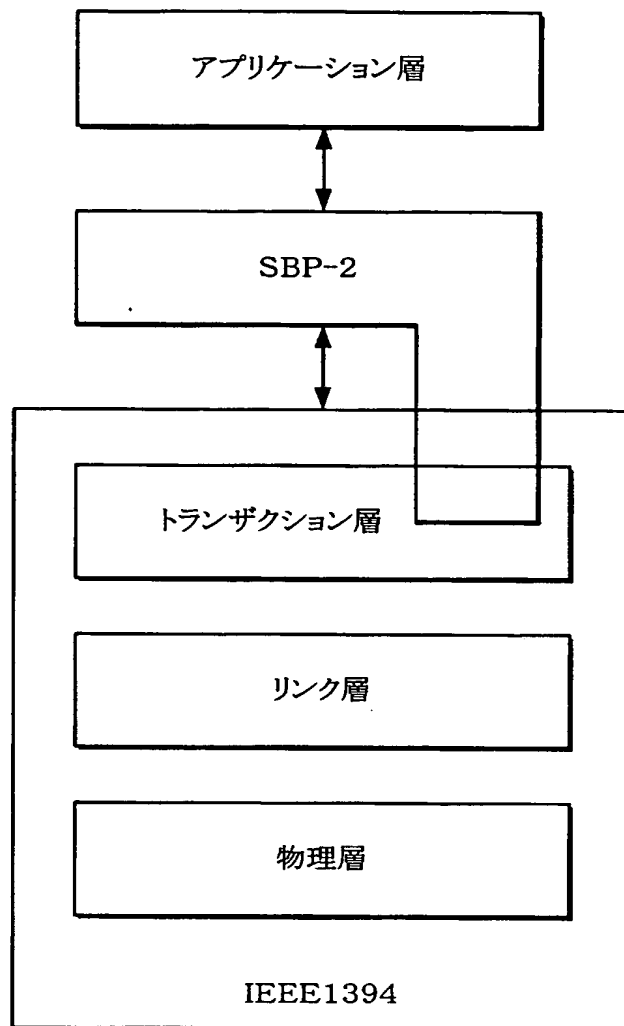


- 3 0     インターフェース回路
- 3 2     DMA コントローラ
- 3 8     バッファ管理回路
- 4 0     パケットバッファ
- 4 2     CPU (プロセッサ)
- 4 4     フラッシュメモリ (EEPROM)
- 5 0     ファームウェア
- 5 2     コミュニケーション部
- 6 0     マネージメント部
- 7 0     フェッチ部
- 8 0     ストレージタスク部
- 8 2     コマンド処理部
- 8 4     DMA 転送指示部
- 9 0     ダウンローダ部
- 1 0 0    ストレージデバイス
- 1 0 2    インターフェース回路
- 1 0 4    アクセス制御回路
- 1 0 6    ストレージ

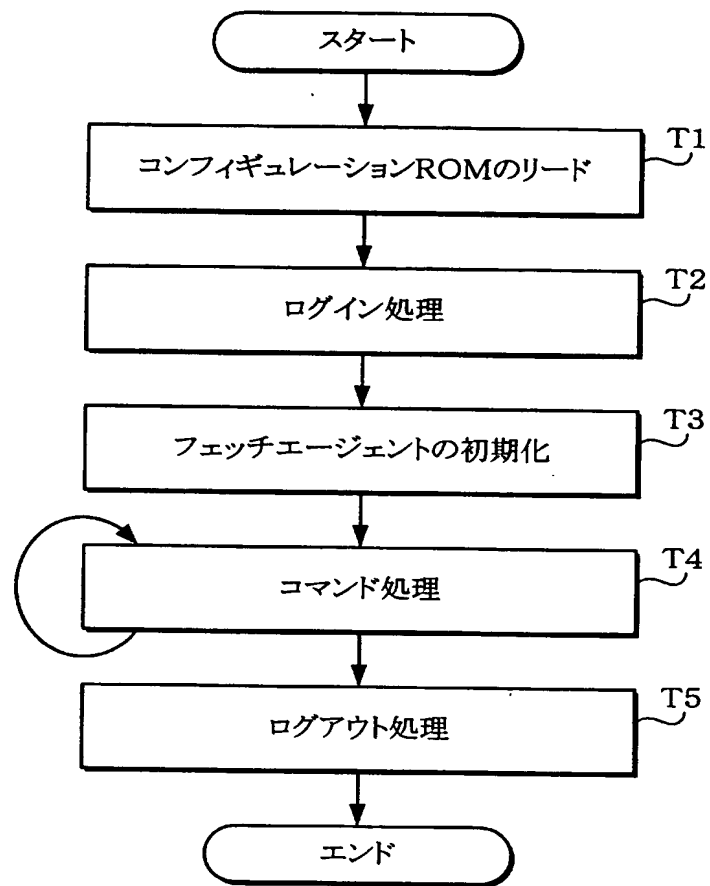
【書類名】

図面

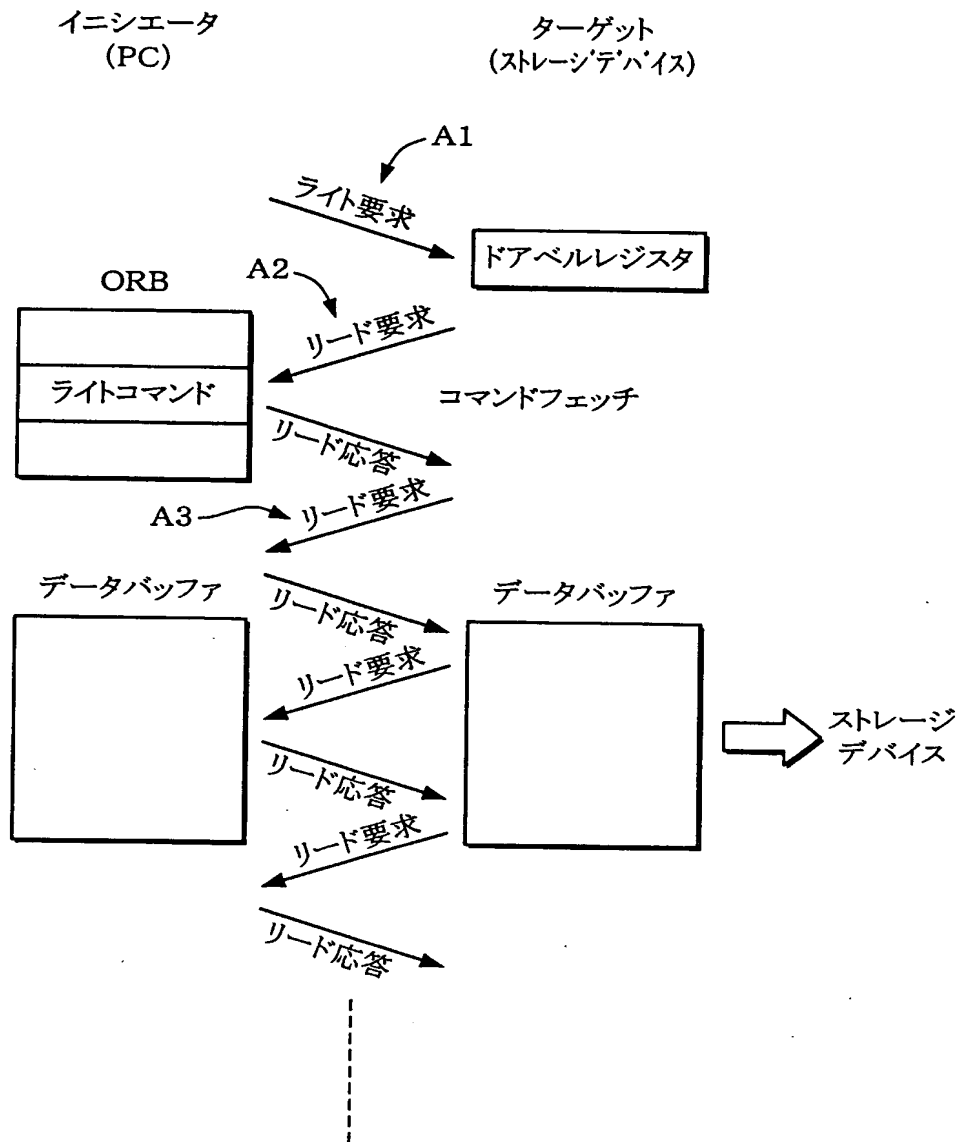
【図 1】



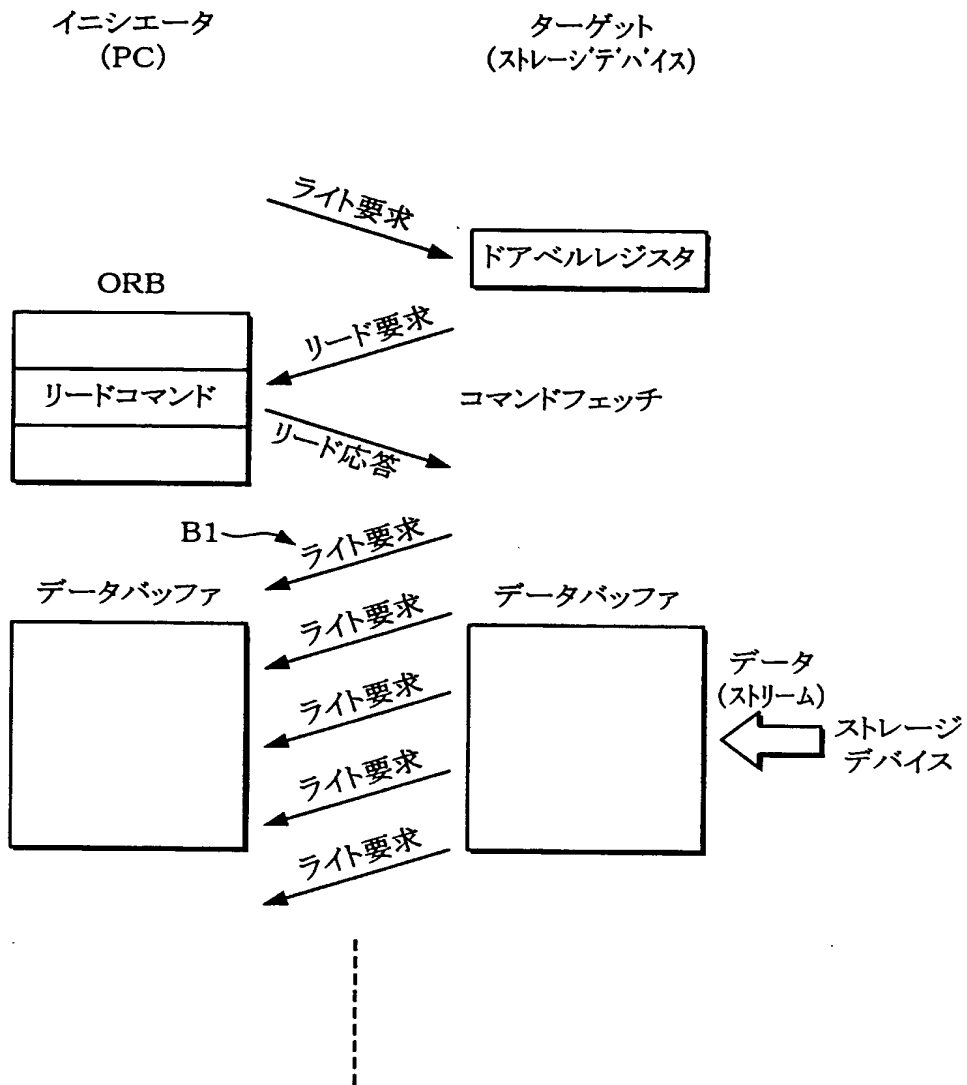
【図 2】



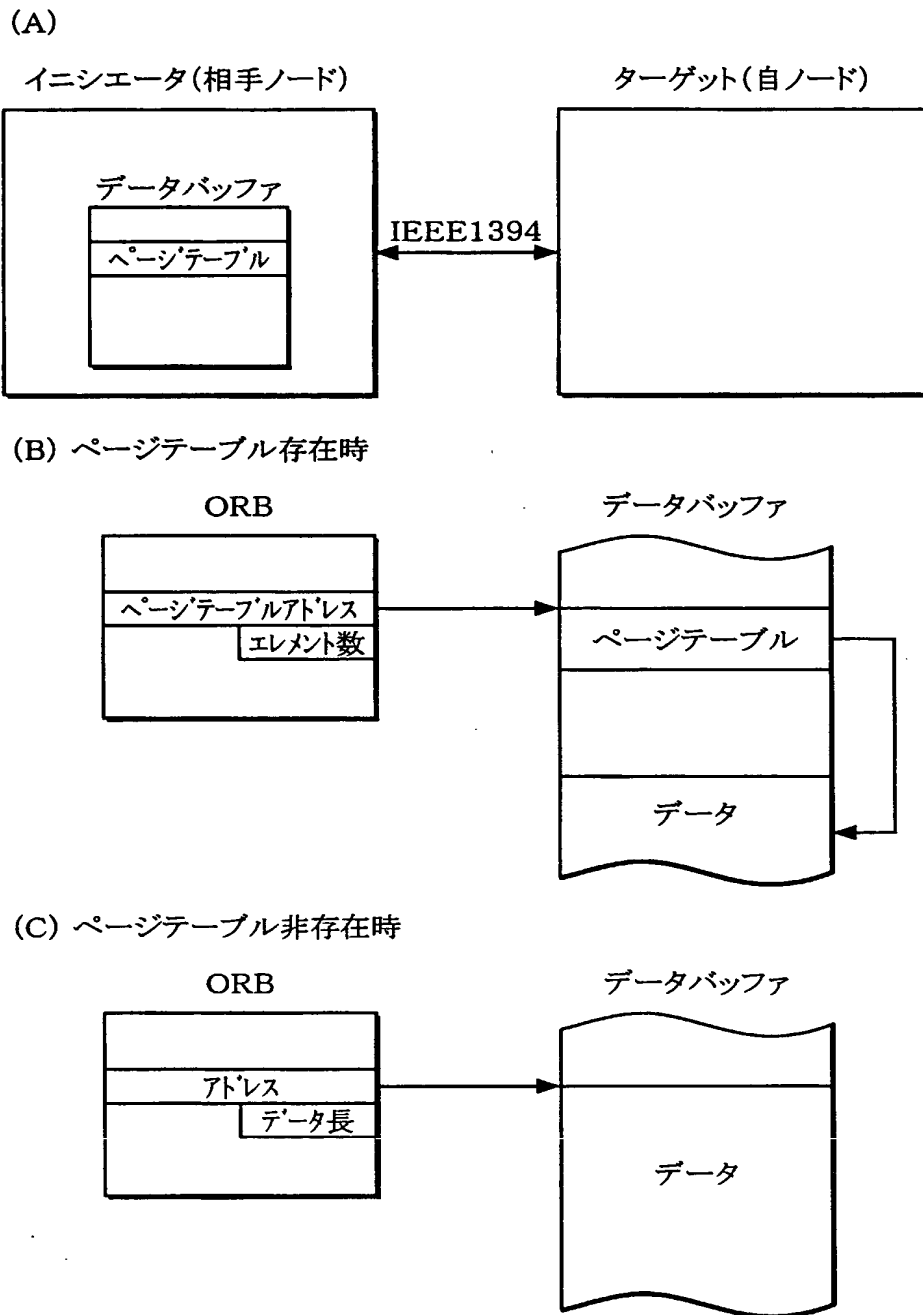
【図 3】



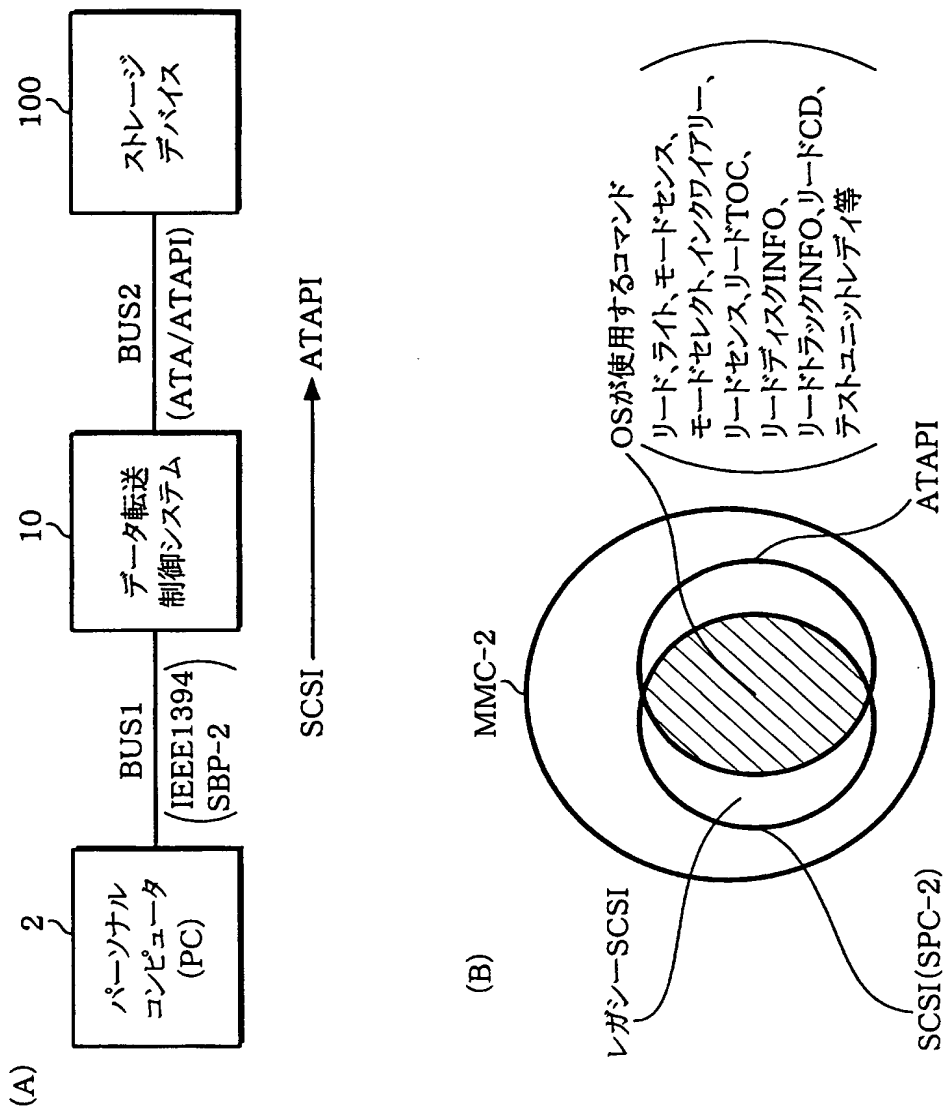
【図 4】



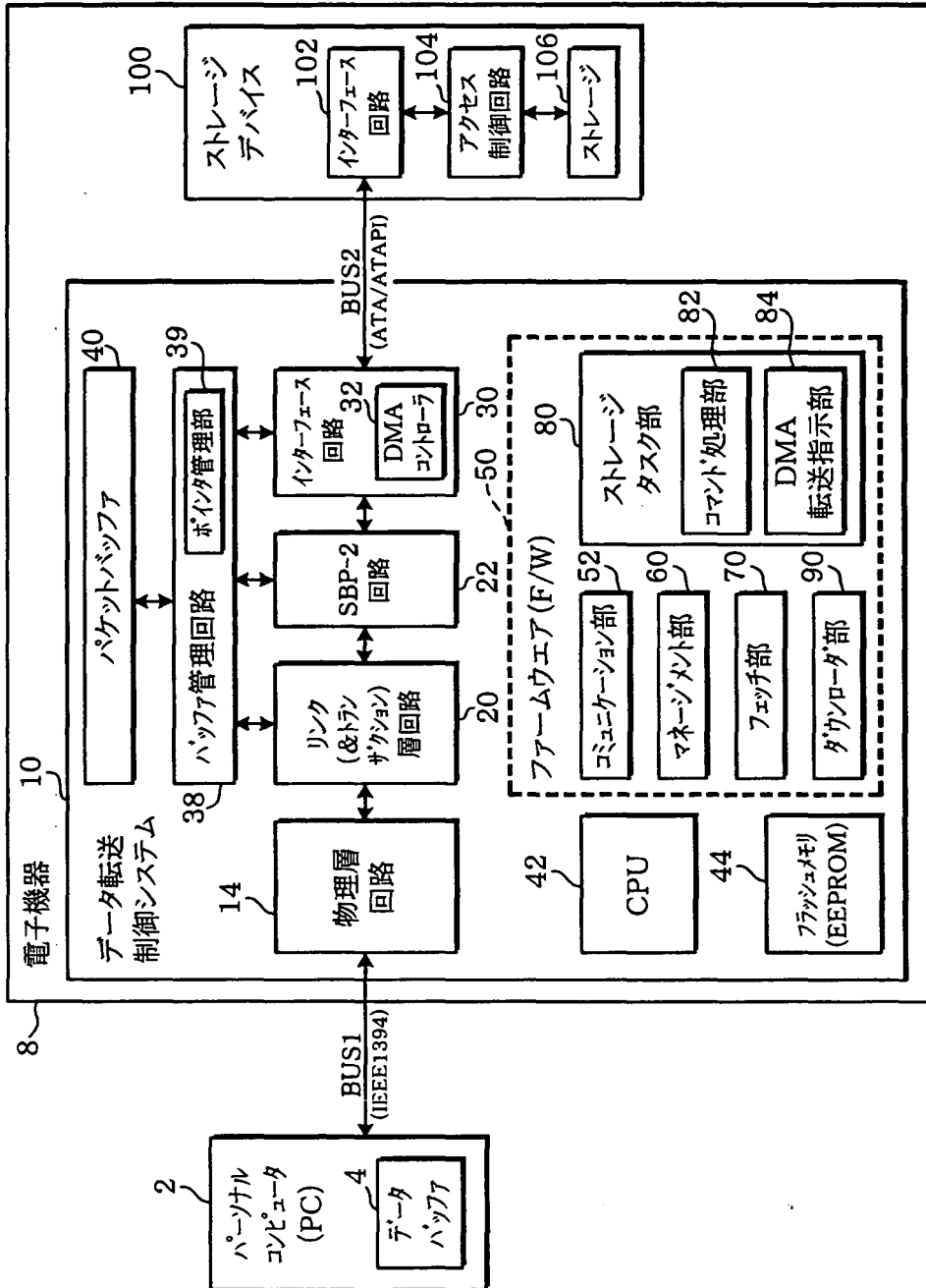
【図 5】



【図 6】

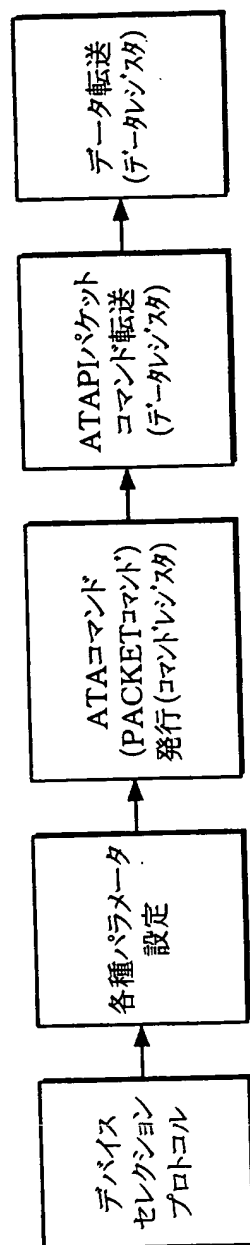


【図 7】

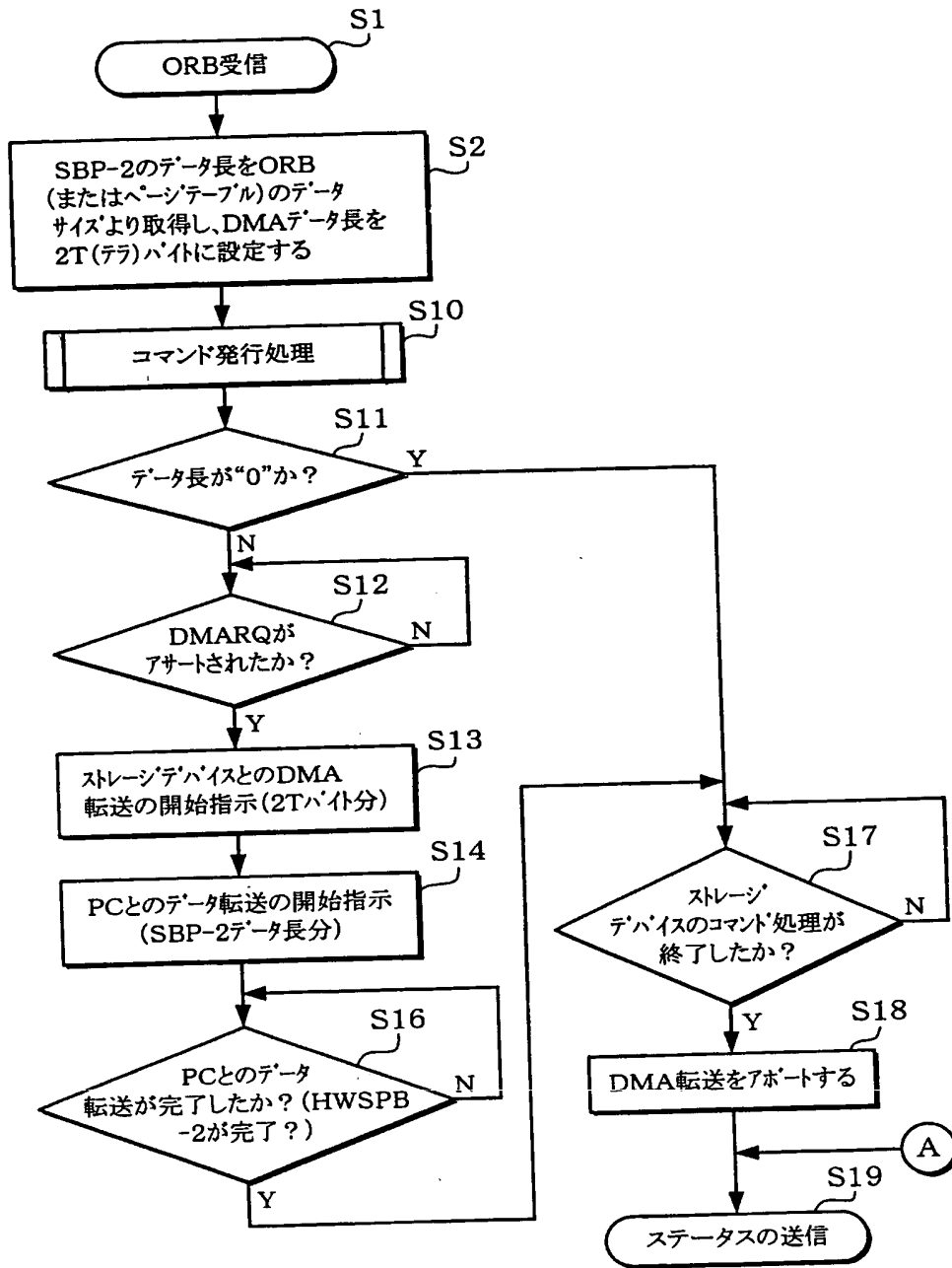




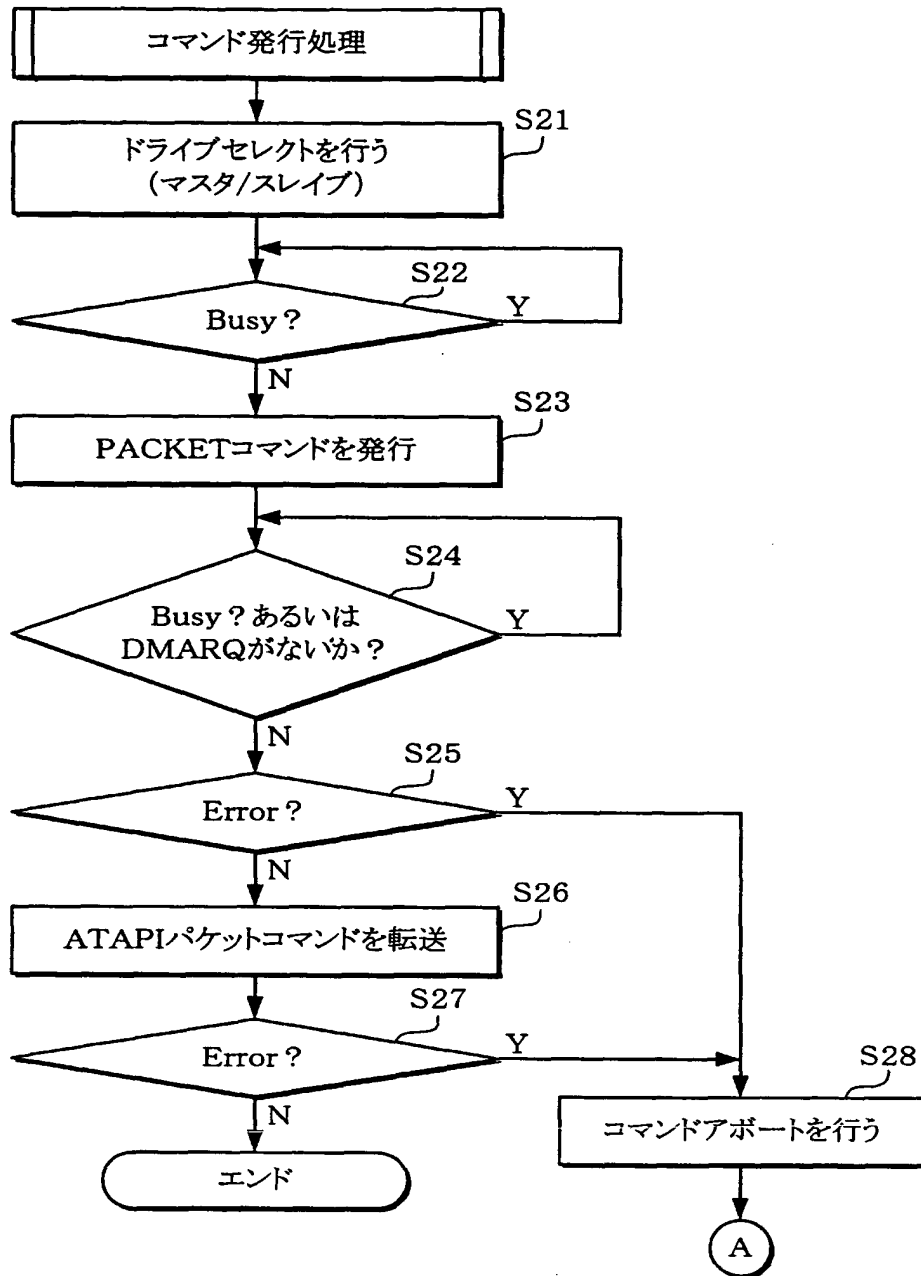
【図8】



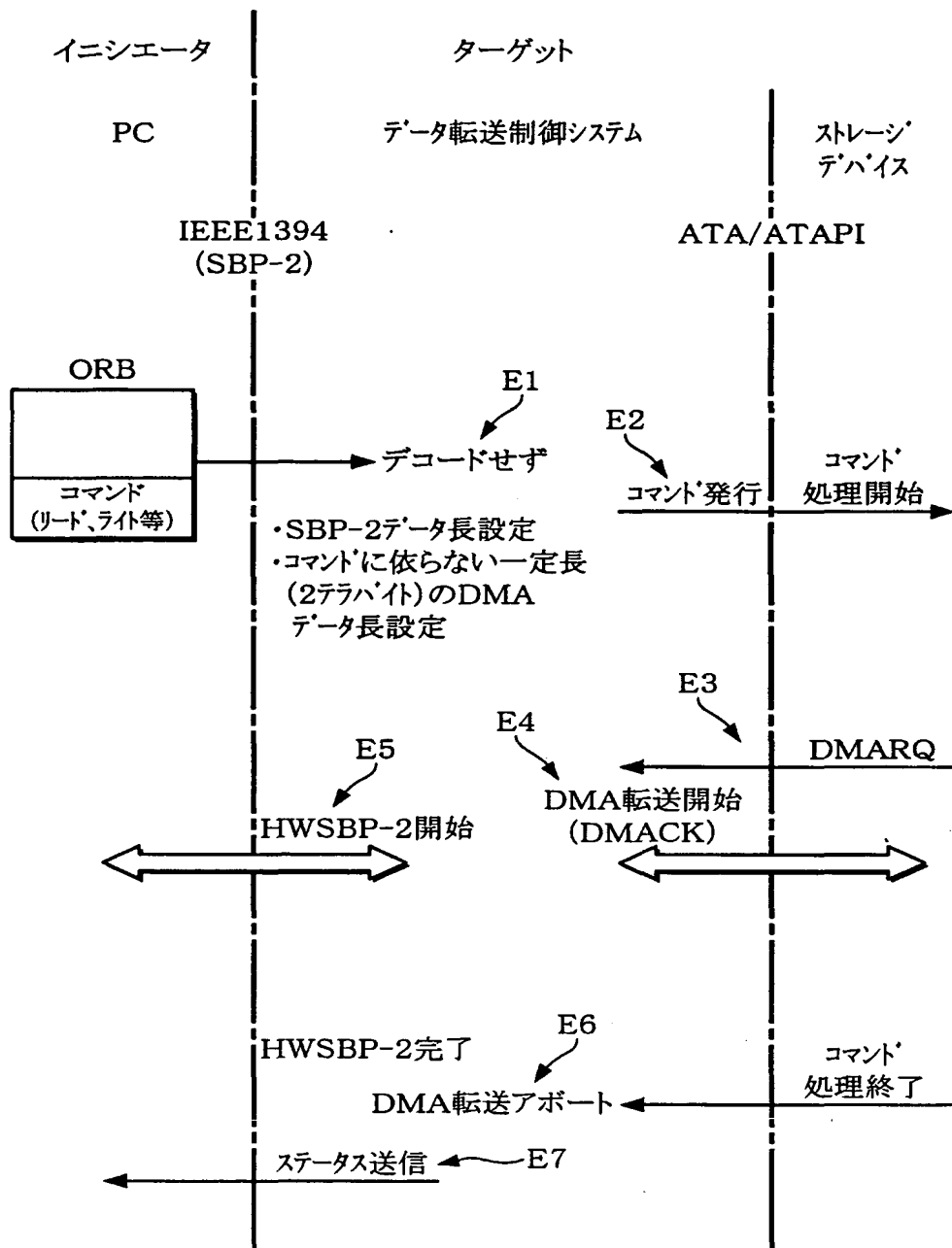
【図9】



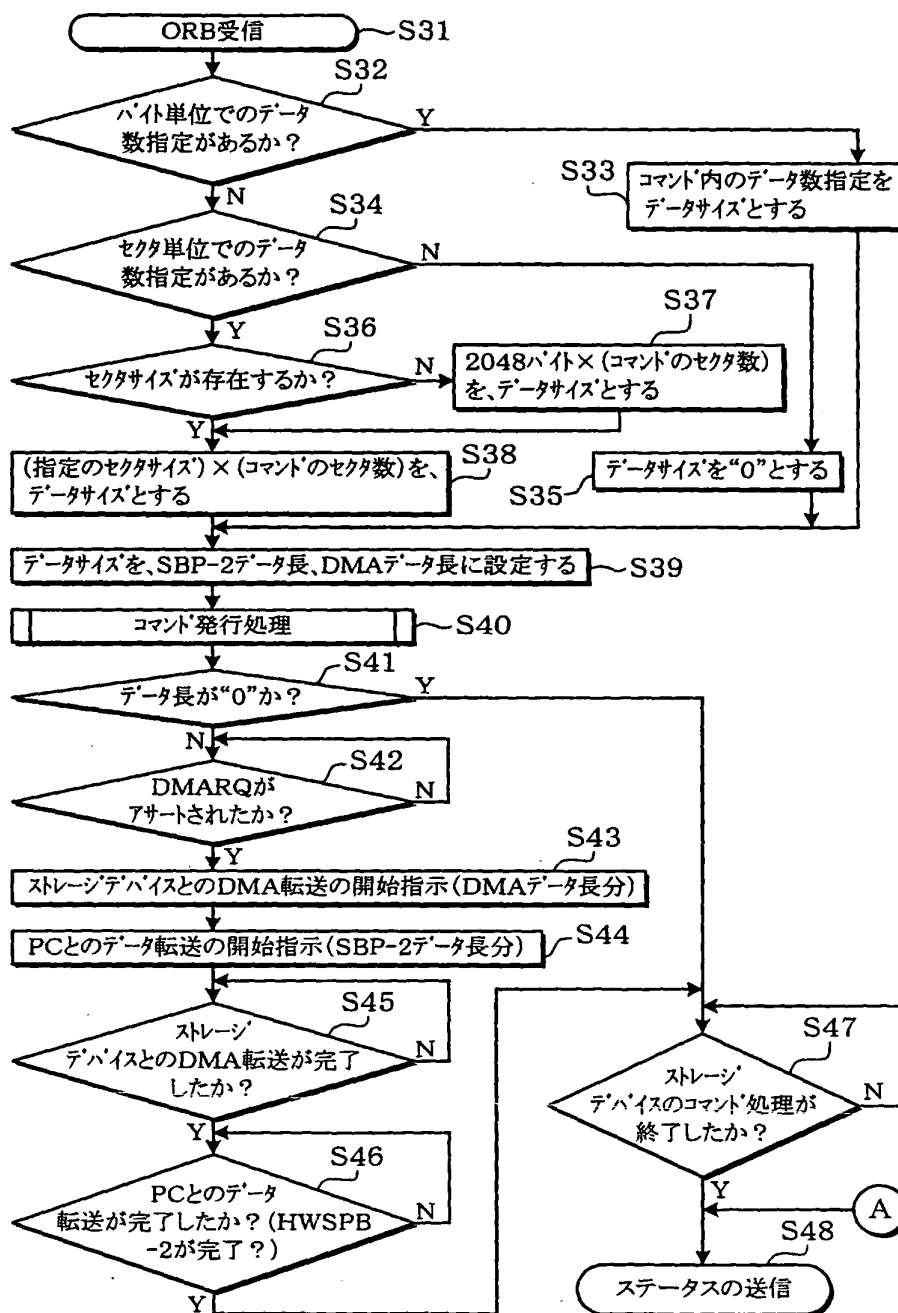
【図10】



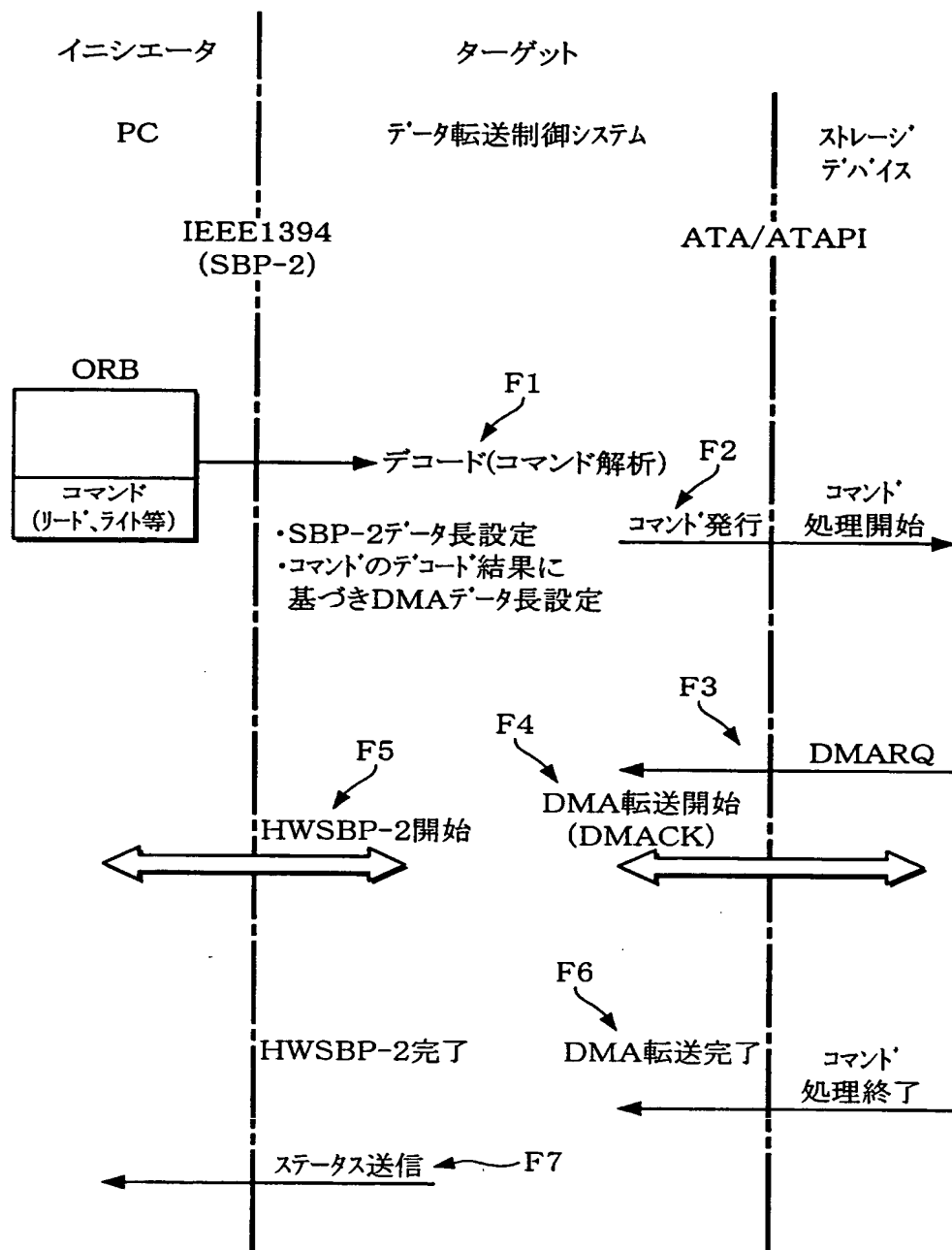
【図 11】



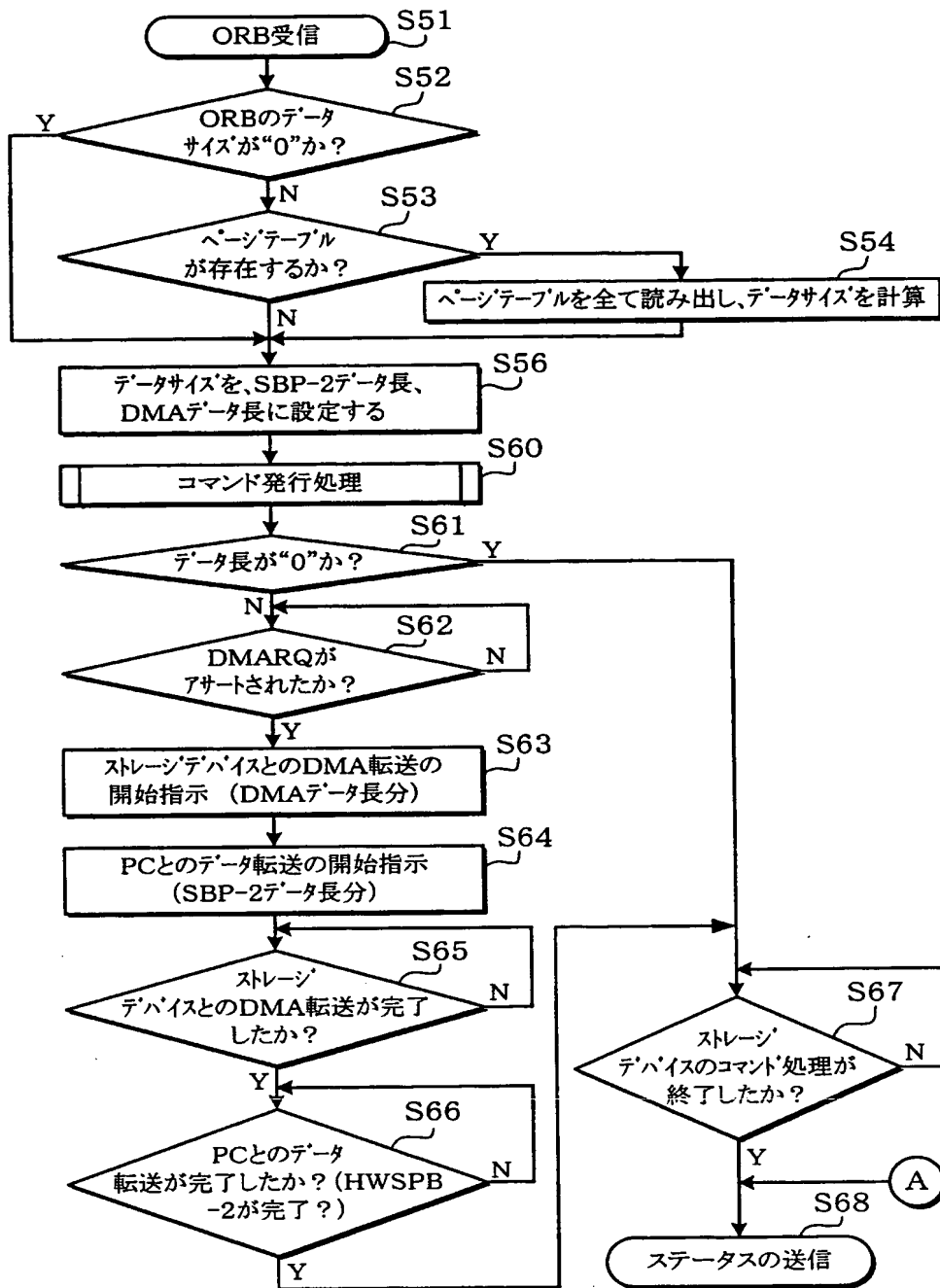
【図 12】



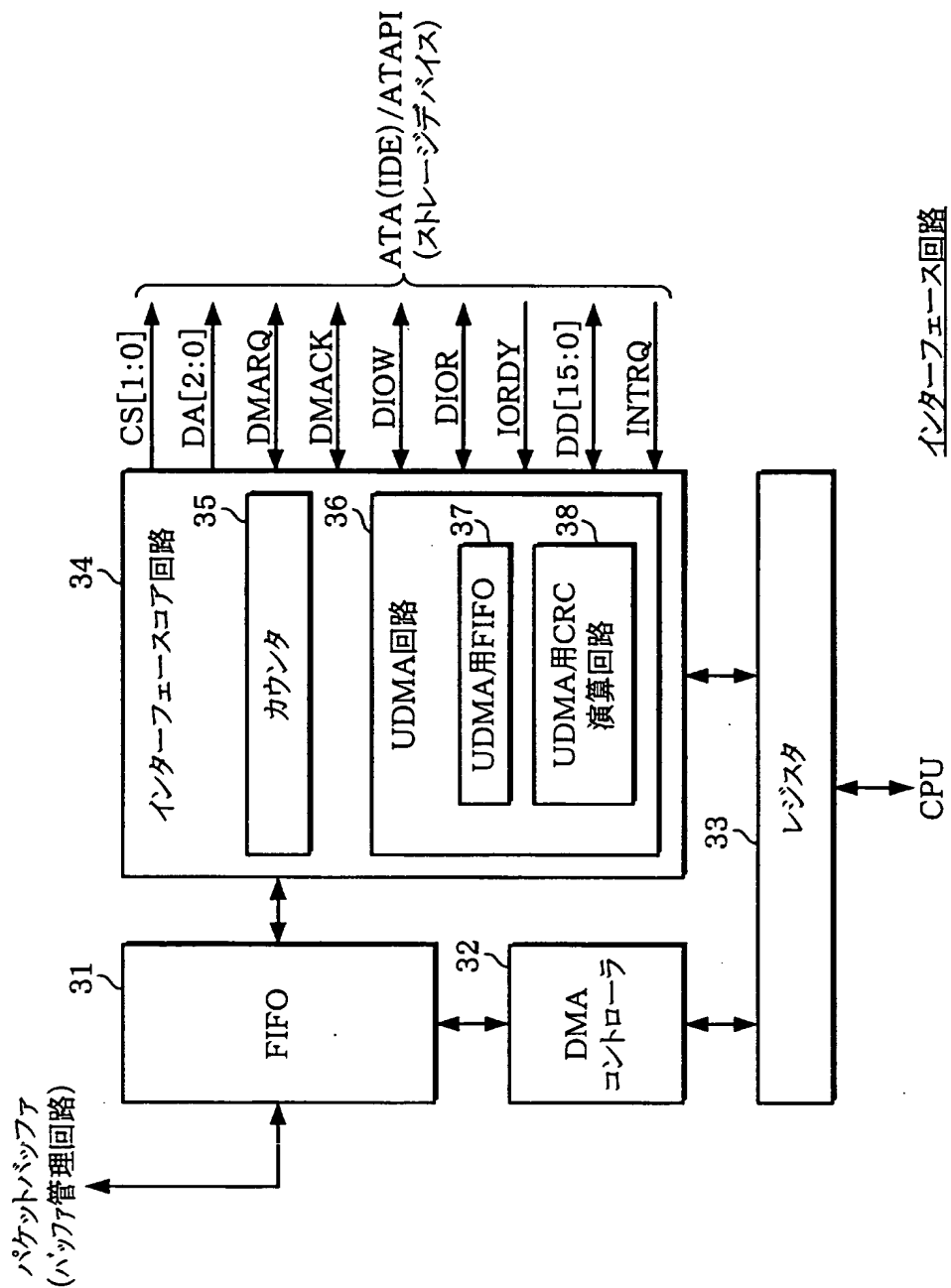
【図13】



【図 14】



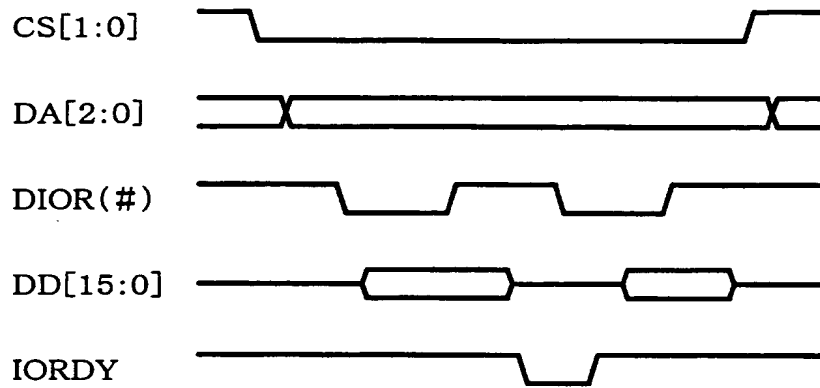
【図 15】



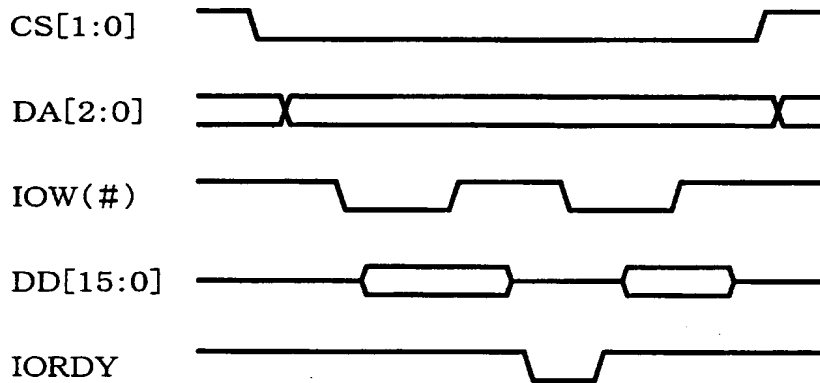


【図 1 6】

(A) PIOリード(ストレージデバイス→データ転送制御システム→PC)

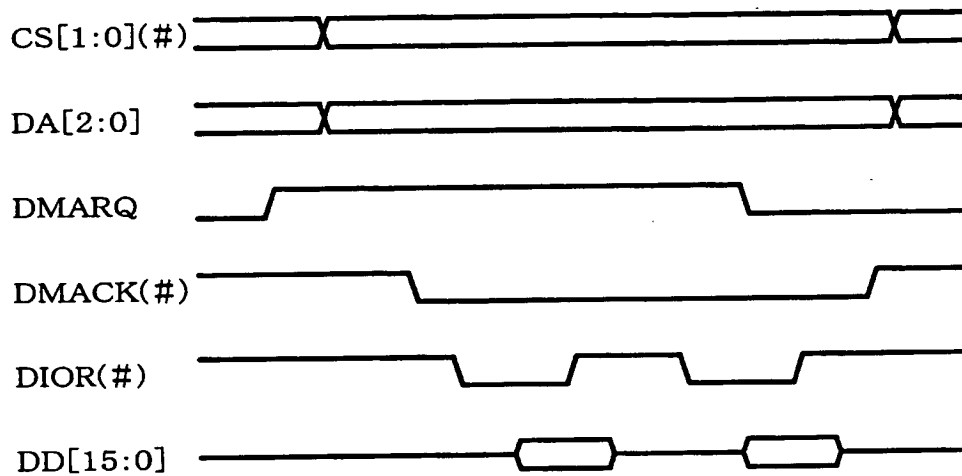


(B) PIOライト(PC→データ転送制御システム→ストレージデバイス)

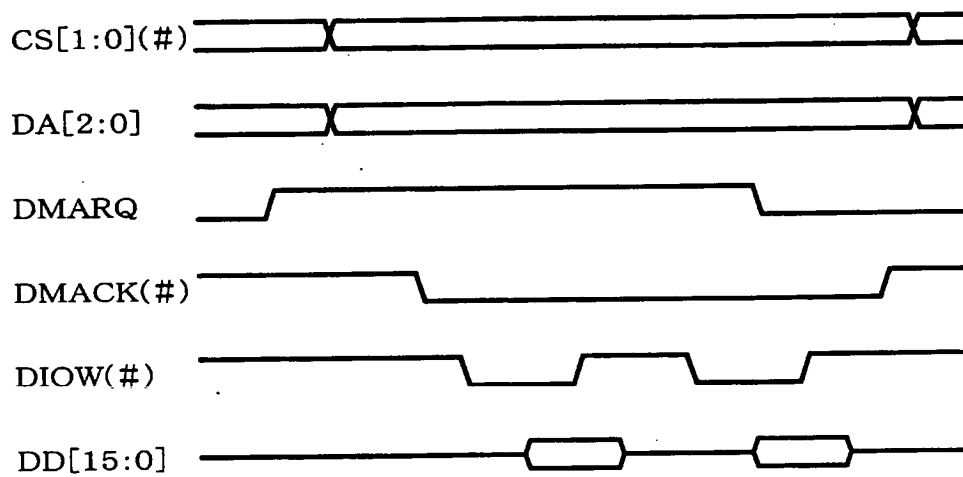


【図 1 7】

(A) DMAリード(ストレージデバイス→データ転送制御システム→PC)

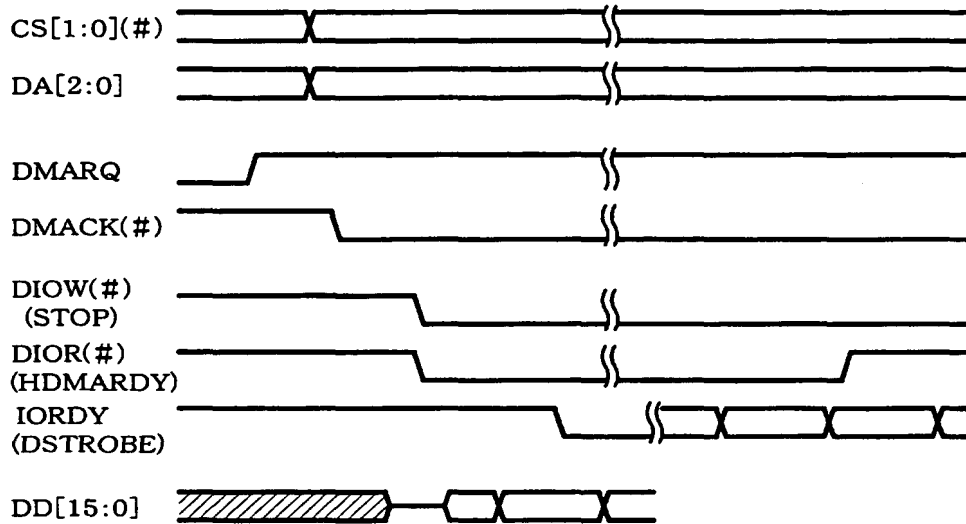


(B) DMAライト(PC→データ転送制御システム→ストレージデバイス)

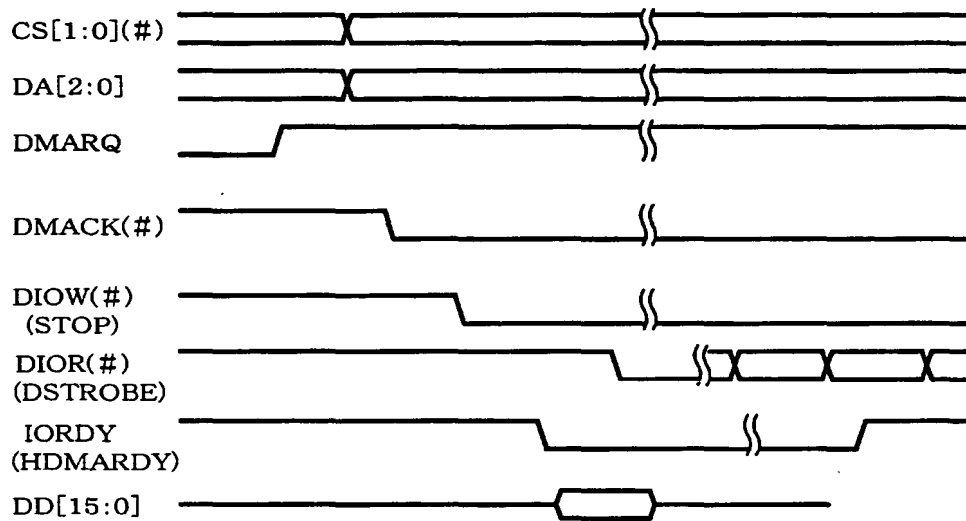


【図 1 8】

(A) Ultra-DMAリード(ストレージデバイス→データ転送制御システム→PC)



(B) Ultra-DMAライト(PC→データ転送制御システム→ストレージデバイス)



【書類名】            要約書

【要約】

【課題】    コマンドのデコード処理の処理負荷を軽減できるデータ転送制御システム、電子機器、プログラム及びデータ転送制御方法を提供すること。

【解決手段】    BUS 1 (IEEE 1394) を介して転送されてきたコマンドパケット ORB (SBP-2) を受け、ORB が含むコマンドを、BUS 2 (ATA (IDE) / ATAPI) に接続されるデバイスに発行する。発行されたコマンドの種類に依らずに一定長の十分大きな DMA データ長を設定し、BUS 2 のデバイスとの間の DMA 転送の開始を指示する。BUS 2 のデバイスが、コマンド処理の終了を通知してきた場合に DMA 転送をアボートする。一定長の DMA データ長として、ストレージの記憶容量よりも大きな値やコマンドにより指定可能なデータ長よりも大きな値を採用する。ORB が含むコマンドをデコードすることなく BUS 2 のデバイスに発行する。

【選択図】            図 9

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 2 3 6 9 ]

1. 変更年月日	1 9 9 0 年 8 月 2 0 日
[変更理由]	新規登録
住 所	東京都新宿区西新宿 2 丁目 4 番 1 号
氏 名	セイコーエプソン株式会社